



(43) 申请公布日 2011.05.18

H04B 10/12 (2006.01)

权利要求书 1 页 说明书 4 页 附图 4 页

(57) 摘要

1. 相机接口全模式光纤传输系统,包括倍频 FPGA(1)、三个串行器(2)、三个 3.125G 发送光模块(3)、光纤(4)、三个 3.125G 接收光模块(5)、三个解串器(6)和数据对齐及分频 FPGA(7),其特征在于,所说的倍频 FPGA(1)通过两个 CameraLink 插头与 FULL 模式下的相机相连,倍频 FPGA(1)接收来自于 FULL 模式相机的 LVDS 格式的 12 路 FULL 模式的数字视频数据和 3 路 LVDS 随路像素时钟,并选择一路时钟信号进行倍频处理;倍频 FPGA(1)与串行器(2)相连,倍频 FPGA(1)将处理后的倍频信号传递给串行器(2)进行并串,串行器(2)将信号并串处理后转换成 CML 电平并反馈给倍频 FPGA(1);串行器(2)与 3.125G 发送光模块(3)相连,3.125G 发送光模块(3)将串行器(2)传递来的 CML 电平转换成光信号;3.125G 发送光模块(3)通过三根等长光纤(4)与 3.125G 接收光模块(5)相连,3.125G 发送光模块(3)将光信号通过光纤(4)传递给 3.125G 接收光模块(5);3.125G 接收光模块(5)通过解串器(6)与数据对齐及分频 FPGA(7)相连,3.125G 接收光模块(5)将接收的光信号转换成 CML 电平并传递给解串器(6),解串器(6)将 CML 电平信号解串成倍频信号传递给数据对齐及分频 FPGA(7),数据对齐及分频 FPGA(7)将接收的倍频信号分频后并对齐。

2. 相机接口全模式光纤传输系统,包括倍频 FPGA(1)、三个串行器(2)、三个 2.5G 发送光模块(8)、波分复用器(9)、光纤(4)、2.5G 接收光模块(10)、三个解串器(6)和数据对齐及分频 FPGA(7),其特征在于,所说的倍频 FPGA(1)通过两个 CameraLink 插头与 FULL 模式下的相机相连,倍频 FPGA(1)接收来自于 FULL 模式相机的 LVDS 格式的 12 路 FULL 模式的数字视频数据和 3 路 LVDS 随路像素时钟,并选择一路时钟信号进行倍频处理;倍频 FPGA(1)与串行器(2)相连,倍频 FPGA(1)将处理后的倍频信号传递给串行器(2)进行并串,串行器(2)将信号并串处理后转换成 CML 电平并反馈给倍频 FPGA(1);串行器(2)与 2.5G 发送光模块(8)相连,2.5G 发送光模块(8)将串行器(2)传递来的 CML 电平转换成光信号;2.5G 发送光模块(8)通过波分复用器(9)与 2.5G 接收光模块(10)相连,2.5G 发送光模块(8)将光信号传递给波分复用器(9),波分复用器(9)将光信号处理后传递给 2.5G 接收光模块(10),2.5G 接收光模块(10)通过解串器(6)与数据对齐及分频 FPGA(7)相连,2.5G 接收光模块(10)将接收的光信号转换成 CML 电平并传递给解串器(6),解串器(6)将 CML 电平信号解串成倍频信号传递给数据对齐及分频 FPGA(7),数据对齐及分频 FPGA(7)将接收的倍频信号分频后并对齐。

3. 根据权利要求 2 所述的相机接口全模式光纤传输系统,其特征在于,所说的波分复用器(9)包括合波器、分波器,合波器与分波器通过一根光纤(4)相连。

相机接口全模式光纤传输系统

技术领域

[0001] 本发明涉及信息传输领域,特别是一种相机接口全模式光纤传输系统。

背景技术

[0002] 目前,在工业自动化生产、军事监控等领域,普遍采用高帧频的数字相机作为监控设备,而且帧频还在不断提高,数据量也不断增加。CameraLink 是高速相机普遍采用的一种接口,在今后相当长一段时间内仍是高速相机主要的输出接口。工业现场、或军事领域的监控目标特殊,有时候比较危险,因此需要将相机的监控视频长距离传输。光纤传输不仅数据吞吐量大、传输距离远,而且能够屏蔽传输过程中周围环境的电磁干扰,已经得到成功运用。但是目前国内外实用的 CameraLink/fiber 适配器主要针对 CameraLink Base 模式,无法满足高帧频的 MEDIUM、FULL 模式数据传输的需求。因此,研制出一种能满足高帧频的 MEDIUM、FULL 模式数据传输需求的光纤传输系统势在必行。

发明内容

[0003] 针对上述问题,为解决现有技术的缺陷,本发明的目的就在于提供一种相机接口全模式光纤传输系统,可以有效解决目前的使用的 CameraLink/fiber 适配器不能满足高帧频的 MEDIUM、FULL 模式数据传输需求的问题。

[0004] 本发明解决技术问题所采用的技术方案是,相机接口全模式光纤传输系统,包括倍频 FPGA、三个串行器、三个 3.125G 发送光模块、光纤、三个 3.125G 接收光模块、三个解串器和数据对齐及分频 FPGA,所说的倍频 FPGA 通过两个 CameraLink 插头与 FULL 模式下的相机相连,倍频 FPGA 接收来自于 FULL 模式的相机的 LVDS 格式的 12 路 FULL 模式的数字视频数据和 3 路 LVDS 随路像素时钟,并选择一路时钟信号进行倍频处理;倍频 FPGA 与串行器相连,倍频 FPGA 将处理后的倍频信号传递给串行器进行并串,串行器将信号并串处理后转换成 CML 电平并反馈给倍频 FPGA;串行器与 3.125G 发送光模块相连,3.125G 发送光模块将串行器传递来的 CML 电平转换成光信号;3.125G 发送光模块通过三根等长光纤与 3.125G 接收光模块相连,3.125G 发送光模块将光信号通过光纤传递给 3.125G 接收光模块;3.125G 接收光模块通过解串器与数据对齐及分频 FPGA 相连,3.125G 接收光模块将接收的光信号转换成 CML 电平并传递给解串器,解串器将 CML 电平信号解串成倍频信号传递给数据对齐及分频 FPGA,数据对齐及分频 FPGA 将接收的倍频信号分频后并对齐。

[0005] 相机接口全模式光纤传输系统,包括倍频 FPGA、串行器、2.5G 发送光模块、波分复用器、光纤、2.5G 接收光模块、解串器和数据对齐及分频 FPGA,所说的倍频 FPGA 通过两个 CameraLink 插头与 FULL 模式下的相机相连,倍频 FPGA 接收来自于 FULL 模式的相机的 LVDS 格式的 12 路 FULL 模式的数字视频数据和 3 路 LVDS 随路像素时钟,并选择一路时钟信号进行倍频处理;倍频 FPGA 与串行器相连,倍频 FPGA 将处理后的倍频信号传递给串行器进行并串,串行器将信号并串处理后转换成 CML 电平并反馈给倍频 FPGA;串行器与 2.5G 发送光模块相连,2.5G 发送光模块将串行器传递来的 CML 电平转换成光信号;2.5G 发送光模块通过

波分复用器与 2.5G 接收光模块相连,2.5G 发送光模块将光信号传递给波分复用器,波分复用器将光信号处理后传递给 2.5G 接收光模块,2.5G 接收光模块通过解串器与数据对齐及分频 FPGA 相连,2.5G 接收光模块将接收的光信号转换成 CML 电平并传递给解串器,解串器将 CML 电平信号解串成倍频信号传递给数据对齐及分频 FPGA,数据对齐及分频 FPGA 将接收的倍频信号分频后并对齐。

[0006] 本发明数据吞吐量大,抗电磁干扰能力强,传输距离远,实时性好,能够保持原有数据格式的光纤传输系统,满足当前甚至今后相当长时间内 CamerLink 接口相机工作在 BASE、MEDIUM、FULL 全模式下高帧频视频数据的远程光纤传输的需求。

附图说明

[0007] 图 1 是本发明的相机接口全模式光纤传输系统的第一种结构示意图。

[0008] 图 2 是本发明的相机接口全模式光纤传输系统的第二种结构示意图。

[0009] 图 3 是本发明的串行器的工作状态循环图。

[0010] 图 4 是本发明的解串器的工作状态循环图。

[0011] 图 5 是本发明的信号倍频示意图。

[0012] 图 6 是本发明的信号分频示意图。

[0013] 图中:1、倍频 FPGA,2、串行器,3、3.125G 发送光模块,4、光纤,5、3.125G 接收光模块,6、解串器,7、数据对齐及分频 FPGA,8、2.5G 发送光模块,9、波分复用器,10、2.5G 接收光模块,11、倍频前的信号,12、第一次倍频后的信号,13、第二次倍频后的信号,14、第三次倍频后的信号,15、第四次倍频后的信号,16、最终倍频后的信号,17、分频前的信号,18 第一次分频后的信号,19、第二次分频后的信号,20、第三次分频后的信号,21、第四次分频后的信号,22 最终分频后的信号。

具体实施方式

[0014] 以下结合附图对本发明的具体实施方式作详细说明。

[0015] 由图 1 所示,相机接口全模式光纤传输系统,包括倍频 FPGA1、三个串行器 2、三个 3.125G 发送光模块 3、光纤 4、三个 3.125G 接收光模块 5、三个解串器 6 和数据对齐及分频 FPGA7,所说的倍频 FPGA1 通过两个 CameraLink 插头与 FULL 模式下的相机相连,倍频 FPGA1 接收来自于 FULL 模式的相机的 LVDS 格式的 12 路 FULL 模式的数字视频数据和 3 路 LVDS 随路像素时钟,并选择一路时钟信号进行倍频处理;倍频 FPGA1 与串行器 2 相连,倍频 FPGA1 将处理后的倍频信号传递给串行器 2 进行并串,串行器 2 将信号并串处理后转换成 CML 电平并反馈给倍频 FPGA1;串行器 2 与 3.125G 发送光模块 3 相连,3.125G 发送光模块 3 将串行器 2 传递来的 CML 电平转换成光信号;3.125G 发送光模块 3 通过三根等长光纤 4 与 3.125G 接收光模块 5 相连,3.125G 发送光模块 3 将光信号通过光纤 4 传递给 3.125G 接收光模块 5;3.125G 接收光模块 5 通过解串器 6 与数据对齐及分频 FPGA7 相连,3.125G 接收光模块 5 将接收的光信号转换成 CML 电平并传递给解串器 6,解串器 6 将 CML 电平信号解串成倍频信号传递给数据对齐及分频 FPGA7,数据对齐及分频 FPGA7 将接收的倍频信号分频后并对齐。

[0016] 由图 2 所示,相机接口全模式光纤传输系统,包括倍频 FPGA1、串行器 2、2.5G 发送光模块 8、波分复用器 9、光纤 4、2.5G 接收光模块 10、解串器 6 和数据对齐及分频 FPGA7,所

说的倍频FPGA1通过两个CameraLink插头与FULL模式下的相机相连,倍频FPGA1接收来自于FULL模式的相机的LVDS格式的12路FULL模式的数字视频数据和3路LVDS随路像素时钟,并选择一路时钟信号进行倍频处理;倍频FPGA1与串行器2相连,倍频FPGA1将处理后的倍频信号传递给串行器2进行并串,串行器2将信号并串处理后转换成CML电平并反馈给倍频FPGA1;串行器2与2.5G发送光模块8相连,2.5G发送光模块8将串行器2传递来的CML电平转换成光信号;2.5G发送光模块8通过波分复用器9与2.5G接收光模块10相连,2.5G发送光模块8将光信号传递给波分复用器9,波分复用器9将光信号处理后传递给2.5G接收光模块10,2.5G接收光模块10通过解串器6与数据对齐及分频FPGA7相连,2.5G接收光模块10将接收的光信号转换成CML电平并传递给解串器6,解串器6将CML电平信号解串成倍频信号传递给数据对齐及分频FPGA7,数据对齐及分频FPGA7将接收的倍频信号分频后并对齐。

[0017] 所说的波分复用器9包括合波器、分波器,合波器与分波器通过一根光纤4相连。

[0018] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合实施例,对本发明进行进一步详细说明,应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0019] 本发明中的FPGA的型号为XC6SLX4,串行器2的型号为DS32EL0421SQ,解串器6的型号为DS32EL0124SQ,3.125G光模块的型号为FTLF1324P2BTV,2.5G光模块的型号为HCSFP-48-1472212系列的SFP光模块,波分复用器的型号为KCWDM-P-8-3MM-STLC的8通道波分复用器。

[0020] 本发明的倍频FPGA1、串行器2、3.125G发送光模块3集成在一个PCB板上或倍频FPGA1、串行器2、2.5G发送光模块8集成在一个PCB板上,3.125G接收光模块5、解串器6和数据对齐及分频FPGA7集成在一个PCB板上或倍频FPGA1、串行器2、2.5G接收光模块10集成在一个PCB板上。

[0021] 由图5、6所示,本发明中的FPGA内部含有DCM和PLL两种类型的时钟管理器,DCM能够有效消除时钟信号的斜移和占空比的畸变,提供高精度的像移时钟,PLL最大的优势在于降低输入时钟信号的抖动,两频率合成器都能完成对输入时钟信号信号进行分频和倍频,支持400MHz到1000MHz的频率范围。两者组合使用能够有效对输入时钟信号进行管理。如果1KHz相机采用cameralink base模式输出时,其时钟信号的占空比随着背景灰度变化而发生变化,因此采用DCM驱动PLL,PLL只作为抖动滤波器使用,降低输出时钟信号的抖动;而一般相机的时钟信号采用LVDS长线传输时,用PLL驱动DCM,降低输入信号的抖动后完成对时钟信号的倍频/分频。

[0022] 本发明以FPGA为核心,在发送端直接接收LVDS格式的12路FULL模式的数字视频数据和3路LVDS随路像素时钟,三路时钟信号同步,因此只选择一路时钟信号对其倍频。由于LVDS视频数据的速率是时钟信号RX_CLK的7倍,而串行器2为DDR工作模式的SERDES,因此利用FPGA内部PLL倍频7/2所为LVDS数据流的发送时钟,方案一采用支持3.125Gbps的光模块将SERDES并串转换后的CML电平的转换成光信号进行传输,这种连接方式需要连接3根等长的光纤4,光纤4可以为单模或者多模,对光模块的要求是3光模块发出的光波波长相同,光模块支持3.125Gbps的带宽。能够满足FULL模式85MHz全速CAMERLINK接口长距离图象传输的需求。方案二采用2.5G光模块将电信号转换成不同波长的光信号,经过

波分复用器 9 耦合进一根光纤 4 进行远距离传输,接收端执行与接收端相逆的过程,恢复出原始数据和时钟信号。该方案只需要一根光纤 4 就能完成长距离传输的需求,但图像的像素时钟极限为 $2.5\text{G}/5/2/3.5 = 71.43\text{Mhz}$,对于像素时钟信号速率大于该值时,无法满足图像远程传输的要求,而实际应用过程中,像素时钟一般都不会大于该值的需求。因此该系统能够满足大多数场合的需求。

[0023] 当串行器 2 与解串器 6 直连时可以使用远程感测功能,若之间有其它元器件,就会干扰回路信号。一旦使能远程感测,串行器 2 将会循环采用 4 个阶段来建立链接和对齐数据。

[0024] 由图 3 所示,串行器 2 在接到时钟前一直保持低功耗的 IDLE 状态,一旦 PLL 锁定输入时钟,设备进入 LINK_DETECT 状态,在该状态下,串行器 2 将会监测解串器 6 是否存在,一旦检测到解串器 6,串行器 2 进入 LINK——ACQUISITION 状态,发送整个训练模型,进入 NOMAL 状态,如果解串器 6 没能成功锁定或者保持锁定状态,就会断开链接,使串行器 2 回到 IDLE 或者 LINK DETCT 状态。

[0025] 当远程感测功能有效时,串行器 2 能够由于高速串行链路上的偶然因素以两种方式被强制脱离锁定状态,一个串行通道复位信号从解串器 6、或者附近终端检测电路发送,逆流而上,并且检测到使能终止。逆流而上,从解串器 6 发出复位串行器 2 的信号成为链接检测信号,由于串行器 2 和解串器 6 不可能同时上电,解串器 6 将会周期性的发出链接检测信号,直到在高速链路那一端检测到串行器 2。当串行器 2 接收到链接检测信号,它将会回到 LINK_DETECT 状态,旁边的使能终端检测电路只能在旁边的使能终端发生终止事件时被触发,比如去掉串行器 2 终端的电缆。

[0026] 由图 4 所示,在收到数据之前,解串器 6 一直保持在 IDLE 的低功耗模式之下,一旦 CDR 锁定输入时钟,芯片进入 LINK_DETECT 状态,在该状态下,解串器 6 将会监视链路,看串行器 2 是否发送训练模型,同时,解串器 6 向上周期性的发送链路检测信号,通知串行器 2 发送训练模型,一旦解串器 6 检测到串行线上的数据,就进入到 CLOCK ACQUISITION 状态,该状态下,解串器 6 以固定周期检测输入数据来从数据中提取时钟信号,成功提取时钟信号后,进入 LINK ACQUISITION 状态,该状态下,解串器 6 在训练模型上执行线对齐,进入 NORMAL 状态,如果解串器 6 不能成功锁定或者保持锁定,它将会断开链接而使解串器 6 进入 IDLE 或者 LINK_DETECT 状态。

[0027] 本发明的积极效果:采用两种方案实现 CAMERALINK 的 BASE, MEDIUM, FULL 模式的视频数据远程光纤 4 传输,能够满足不同场合的需求。系统只在发送和接收端各存在 1 个时钟周期的延迟,保证了实时传输实时性的需求。方案一总数据量为 $3.125\text{G} \times 3 = 9.375\text{G}$,远高于 FULL 模式的 7.056Gbps 极限传输速率,但是远程传输时需要 3 根等长的光纤 4。方案二采用波分复用技术,实现了单纤远程传输,总数据量为 $2.5\text{G} \times 3 = 7.5\text{G}$,能够满足像素时钟小于 71.43Mhz 的 CAMERALINK_FULL 模式传输的需求。两种方案与传统的 camera link/fiber 适配器相比,不需要用解码器对 LVDS 格式的视频流进行解码,直接对 LVDS 信号进行传输。与 10G 光通讯系统相比,该系统最大的优点把原始时钟信号直接嵌入到光信号数据流中,在接收端能够准确的恢复出原始的像素时钟信号,不存在不同时钟域之间数据的交换,保证了传输过程中不改变原始数据结构。

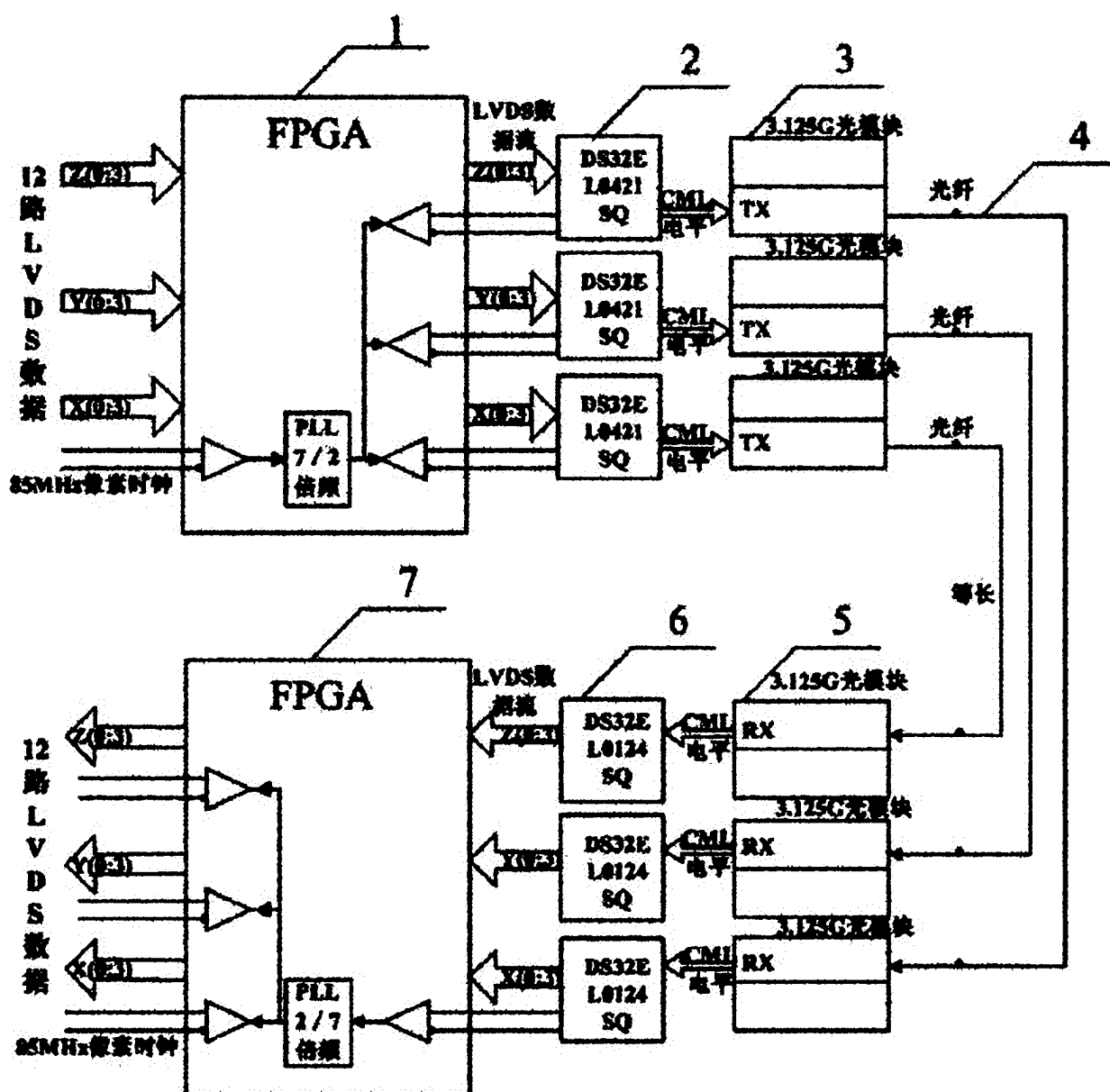


图 1

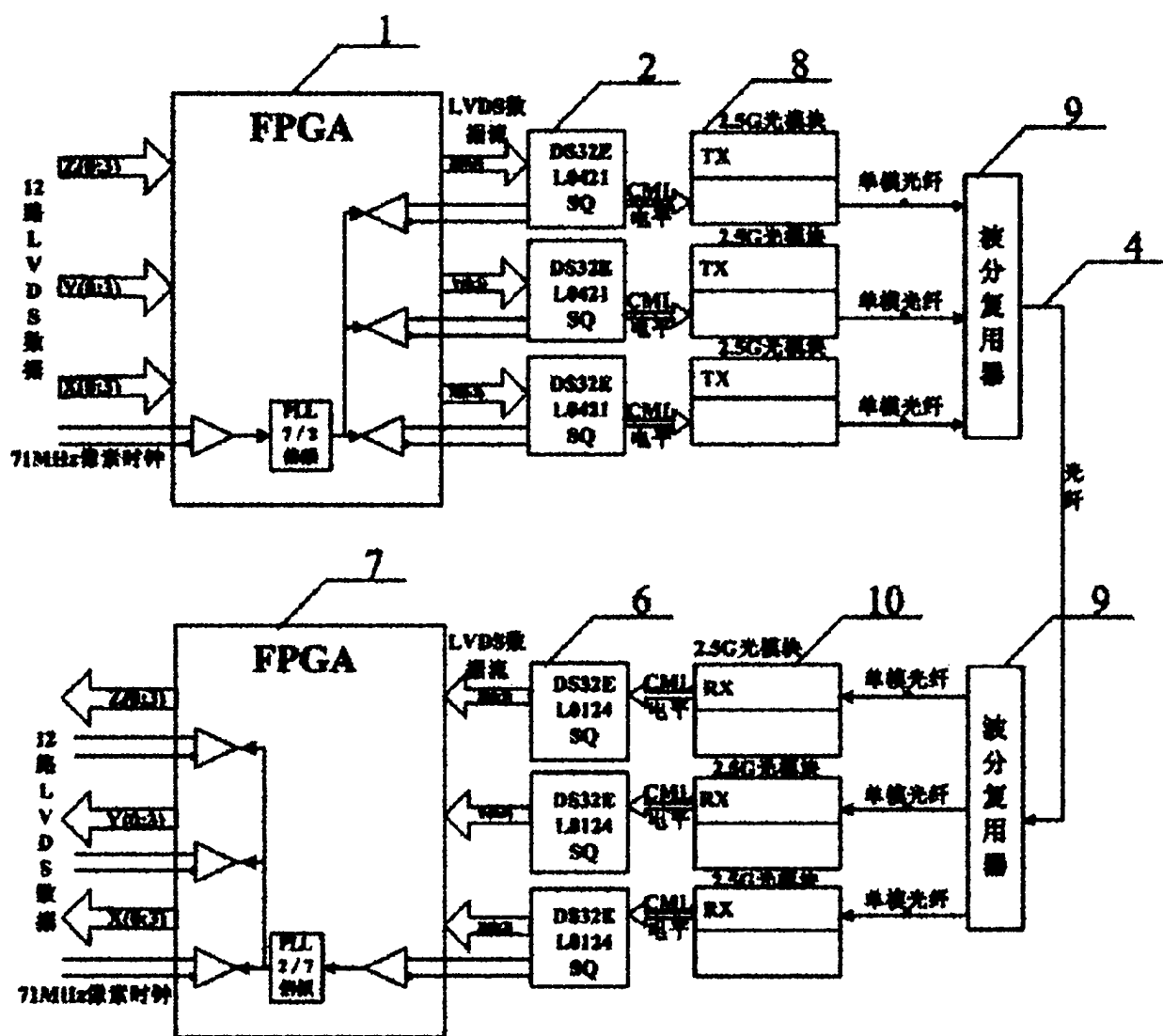


图 2

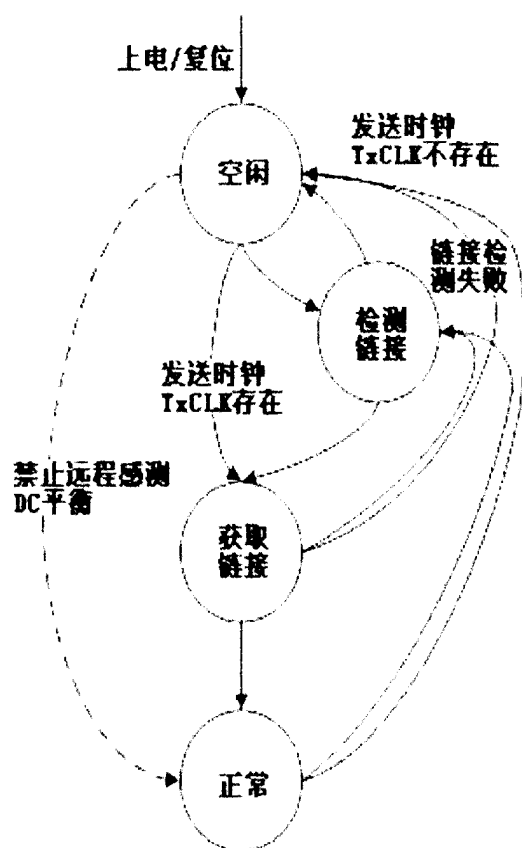


图 3

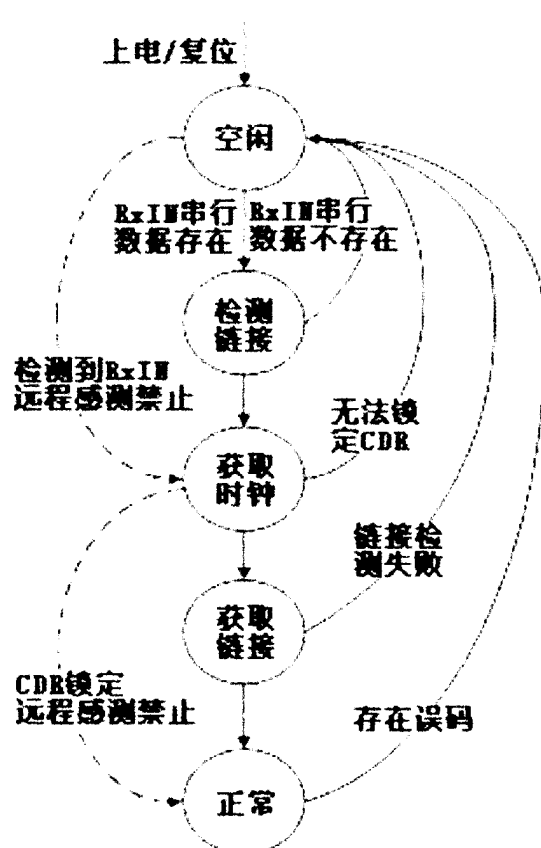


图 4

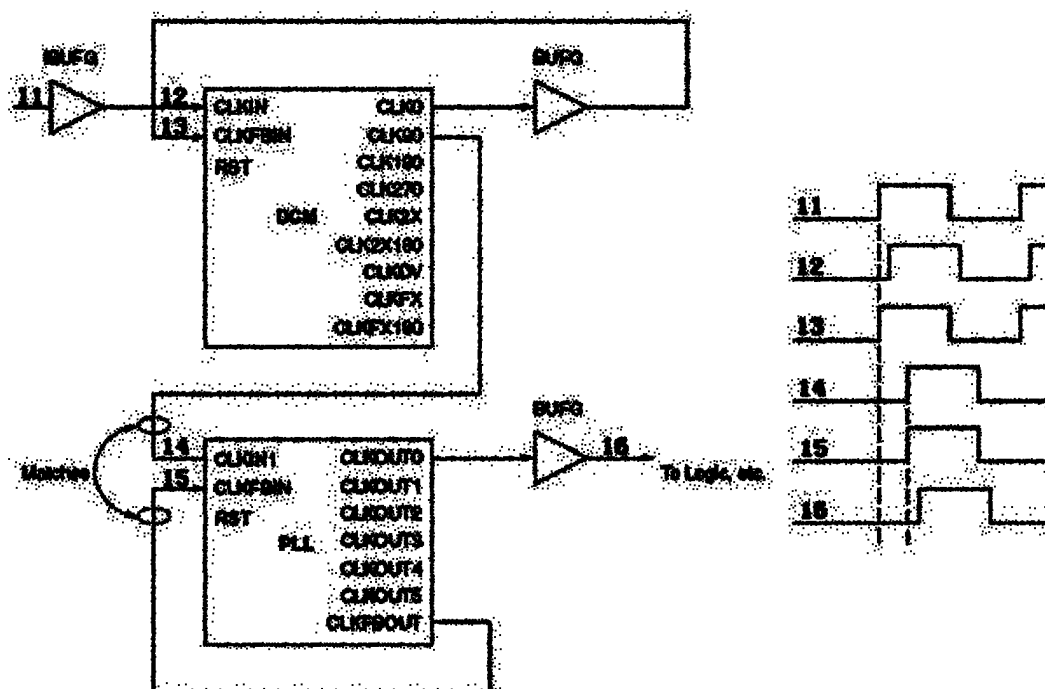


图 5

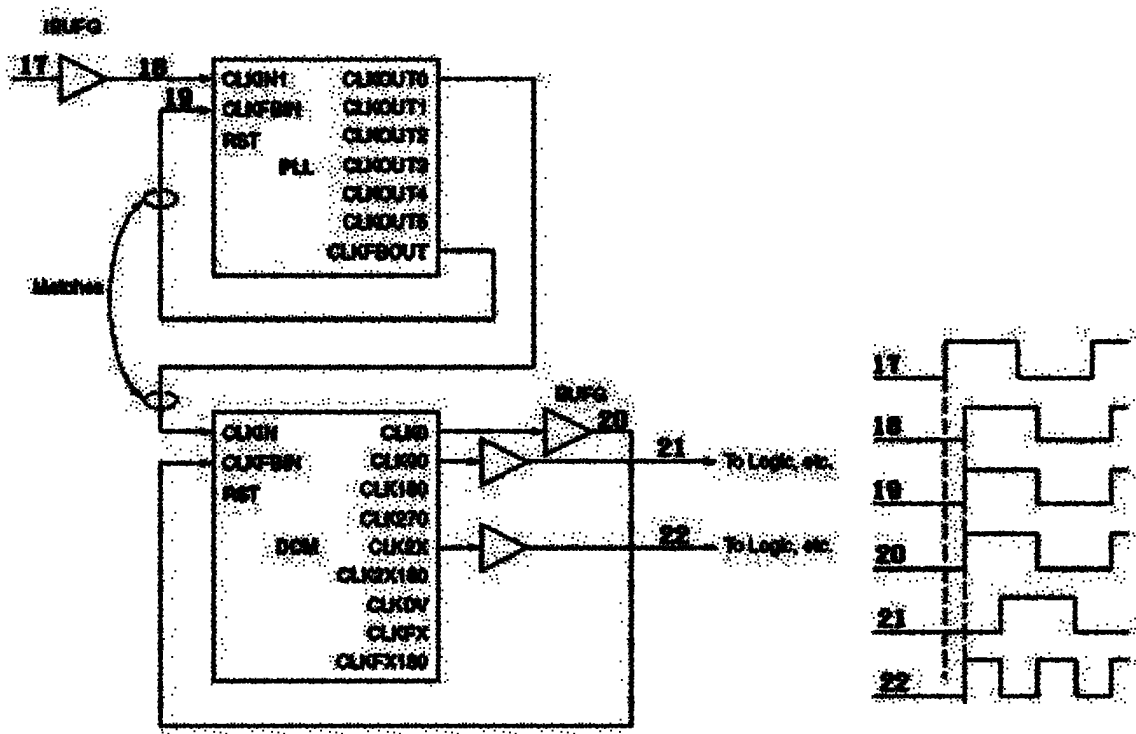


图 6