



(12) 发明专利申请

(10) 申请公布号 CN 102420979 A

(43) 申请公布日 2012. 04. 18

(21) 申请号 201110449301. 9

(22) 申请日 2011. 12. 29

(71) 申请人 中国科学院长春光学精密机械与物理研究所

地址 130033 吉林省长春市东南湖大路
3888 号

(72) 发明人 王晓东 曲洪丰 吕宝林

(74) 专利代理机构 长春菁华专利商标代理事务所 22210

代理人 陶尊新

(51) Int. Cl.

H04N 7/22 (2006. 01)

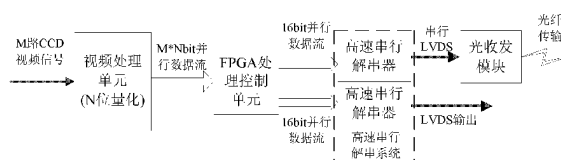
权利要求书 1 页 说明书 2 页 附图 1 页

(54) 发明名称

一种遥感相机高速图像传输系统

(57) 摘要

一种遥感相机高速图像传输系统, 涉及空间探测技术领域, 满足航天遥感相机前端数据量大、速率快和传输通道多的要求。本系统采用 FPGA 强大的高速并行处理能力, 将前端多通道的 CCD 数字量化后的 $M \times N$ 位的并行数据整合为两路 16 位数据输出。采用串化解串技术, 减少了传输导线和连接器的数量。采用串行 LVDS 和光纤传输, 克服了传统并行传输方式传输导线数量多、功耗大和噪声大的缺点。为保证系统的信号完整性, LVDS 传输采用单端 50 欧姆的阻抗匹配, FPGA 和串化解串器之间利用 FPGA 中的数字控制阻抗功能实现源端阻抗匹配。系统可稳定、可靠、无误码的传输航天遥感图像数据, 传输速度达 $1.6\text{GHz} \sim 2.5\text{GHz}$ 。



1. 一种遥感相机高速图像传输系统,其特征是,该系统包括 FPGA 处理控制单元、高速串行解串系统和光收发模块;多路 CCD 视频信号经视频处理单元量化后输入至 FPGA 处理控制单元,所述 FPGA 处理控制单元对量化后的数据进行处理、整合生成被高速串行解串系统接收的 16 位并行数据,所述高速串行解串系统中的一片高速串行解串器将 16 位并行数据转化成高速串行 LVDS 信号,并将高速串行 LVDS 信号传输至光收发模块,所述光收发模块将高速串行信号转化为光信号通过光纤传输,高速串行解串系统中的另一片高速串行解串器将 16 位并行数据转化成高速的 LVDS 信号传输。

2. 根据权利要求 1 所述的一种遥感相机高速图像传输系统,其特征在于,所述 FPGA 处理控制单元和高速串行解串器采用 FPGA 内的 DCI 实现阻抗匹配功能。

3. 根据权利要求 2 所述的一种遥感相机高速图像传输系统,其特征在于,在 DCI 上设置 VRN 和 VRP 管脚的外接电阻,实现不同阻值的阻抗匹配。

4. 根据权利要求 1 所述的一种遥感相机高速图像传输系统,其特征在于,所述光纤和 LVDS 传输相同的数据,并且光纤和 LVDS 互为热备份。

一种遥感相机高速图像传输系统

技术领域

[0001] 本发明涉及空间探测技术领域,具体涉及一种遥感相机高速图像传输系统。

背景技术

[0002] 在航天遥感领域,为了获得较大视场和高分辨率的图像,需要将多片高速、高像素 CCD 进行拼接;同时为了进一步提高 CCD 器件的输出速率,CCD 器件厂商将视频输出设计为多个通道并行输出的方式。这样就导致航天遥感相机前端 CCD 量化后的数据不仅速度快,而且输出通道多,传输数据量大。采用传统的数据传输技术无法实现,物理层接口无法满足数据的传输速度,并且由于传输通道的增多引起传输导线数量的增加导致系统功耗、噪声也随之增加。

发明内容

[0003] 本发明提供一种遥感相机高速图像传输系统,满足航天遥感相机前端数据量大、速率快和传输通道多的要求。

[0004] 一种遥感相机高速图像传输系统,该系统包括 FPGA 处理控制单元、高速串行解串系统和光收发模块;多路 CCD 视频信号经视频处理单元量化后输入至 FPGA 处理控制单元,所述 FPGA 处理控制单元对量化后的数据进行处理、整合生成被高速串行解串系统接收的 16 位并行数据,所述高速串行解串系统中的一片高速串行解串器将 16 位并行数据转化成高速串行 LVDS 信号,并将高速 LVDS 串行信号传输至光收发模块,所述光收发模块将高速串行信号转化为光信号通过光纤传输,高速串行解串系统中的另一片高速串行解串器将 16 位并行数据转化成高速的 LVDS 信号传输。

[0005] 本发明的有益效果:本发明所述的高速图像传输系统克服了传统并行传输方式传输导线数量多、功耗大和噪声大的缺点;可保证航天遥感相机前端大数据量、高速度和多通道数据稳定可靠、无误码的传输。

附图说明

[0006] 图 1 为本发明所述的一种遥感相机高速图像传输系统的原理示意图;

[0007] 图 2 为本发明所述的一种遥感相机高速图像传输系统中高速并行处理控制单元 FPGA 的数字阻抗控制设置示意图。

具体实施方式

[0008] 结合图 1 和图 2 说明本实施方式,一种遥感相机高速图像传输系统,该系统包括 FPGA 处理控制单元、高速串行解串系统、光收发模块和光纤,将前端 M 路 CCD 视频信号经前置放大后,送入视频处理电路进行 AD 量化(量化位数为 N),量化后共 $M*N$ 位并行数据输入到 FPGA 处理控制单元,FPGA 处理控制单元对并行数据的处理、整合并生成满足高速串行解串器输入要求的 16 位并行数据流的功能。高速串行解串系统把 16 位并行数据转化成高速

的串行 LVDS 发送系统接收的高速串行信号,其中的一片高速串行解串器将转化后的 LVDS 高速串行信号输出给光收发模块,由其经过电光转换变成光信号通过光纤传输出去,另外一片高速串行解串器直接输出 LVDS 信号进行向外传输。

[0009] 本实施方式所述的光纤和串行 LVDS 发送系统传输相同的数据,互为热备份。

[0010] 本实施方式所述的 FPGA 处理控制单元是整个系统的控制核心, FPGA 处理控制单元采用 Xilinx 公司出品的 XQ2VP40 芯片;主要功能:前端数据的整合处理;控制 TLK2711A 工作实现串行并行信号和 LVDS 信号的相互转换;

[0011] 其中 FPGA 和串化解串器之间利用 FPGA 中的数字控制阻抗功能实现源端阻抗匹配。

[0012] 本实施方式所述的串行解串器选用 TLK2711A,串行解串器实现 16 位并行信号与 1.6 到 2.5Gbps 的串行 LVDS 信号的相互转换。TLK2711A 是 TI 公司推出的 1.6 到 2.5Gbps 高速串行解串器,主要完成数据的高速并串和串并转化功能,适用于超高速双向点对点数据传输系统。主要包括如下功能模块:串并转换单元、并串转换单元、时钟合成与恢复单元、8B/10B 编码/解码单元、comma 检测功能单元、伪随机序列发生和验证单元以及锁相环等。TLK2711A 以输入并行数据频率 20 倍频的速率将 16 位并行数据转换成 LVDS 串行输出。输入频率范围是 80 ~ 125MHz,输出为 1.6GHz ~ 2.5GHz 的 LVDS 差分信号。光收发模块用来把高速差分电信号转换成光信号通过光纤传输出去,在此选用的是住友公司生产的 SCM6428-GR-DW 系列光收发模块。可传输 155Mbps ~ 2.5Gbps 的信号,满足设计要求。所述 TLK2711A 输出信号为 1.6GHz ~ 2.5GHz 的高速 LVDS 信号,差分 LVDS 电缆选用阻抗为 50 Ω 同轴电缆作为传输线缆,PCB 上差分线阻抗设计为单端 50 Ω 保证阻抗连续。

[0013] 本实施方式所述的图像传输系统中的信号完整性采用严格的阻抗匹配控制;信号完整性的好坏,不仅影响传输系统的性能,而且也影响整个系统的信号完整性,例如对前端视频 AD 电路造成影响。系统中的高速信号主要集中在串行解串器 TLK2711A 前后,设计的重点是阻抗匹配。阻抗的不匹配会产生反射,会减弱信号并增加共模噪声,线路上的共模噪声将得不到差分线路磁场的抵消而产生电磁辐射。

[0014] 结合图 2 说明本实施方式,所述串行解串器 TLK2711A 输入为 80 ~ 125MHz 的并行信号, FPGA 和串行解串器之间采用源端阻抗匹配。在 FPGA 和串行解串器之间的阻抗匹配采用了 FPGA 中的 DCI(数字控制阻抗)功能。随着 FPGA 设计速度的不断提高,信号完整性问题越来越突出。为了保证高速信号的信号完整性,通常需要在 PCB 上进行阻抗匹配,以减小信号的反射和振荡。尽管大量的匹配电阻保证了信号的完整性,但也增加了 PCB 板的布线复杂度和成本。通过使用 DCI(数控阻抗匹配技术),可以在 Virtex-II 系列 FPGA 内部实现阻抗匹配,从而大幅度减少匹配电阻的数量,提高板级系统的稳定性,并降低设计复杂度和减少设计成本。通过设置 VRN 和 VRP 管脚的外接电阻,可以实现不同阻值的阻抗匹配。

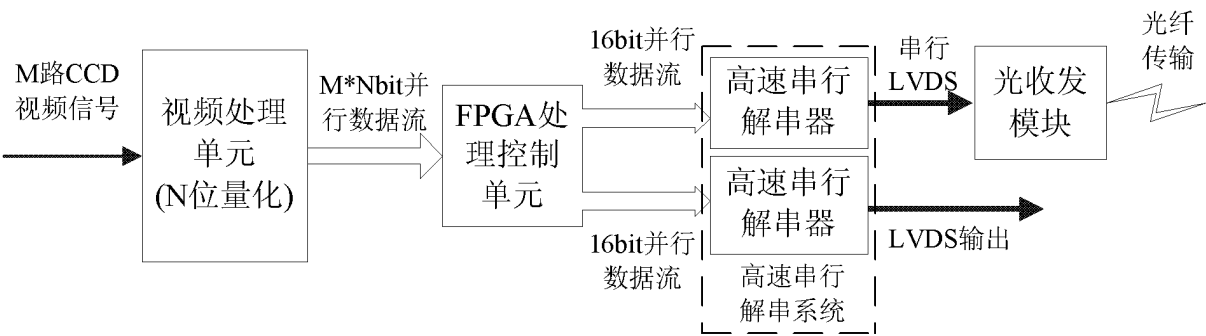


图 1

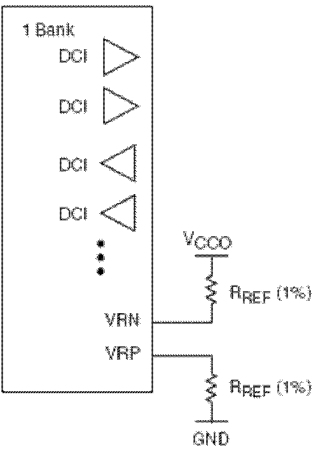


图 2