



空间辐照环境下的 FPGA 可靠性设计技术

李巍, 刘栋斌

(中国科学院 长春光机所 空间一部, 长春 130022)

摘要: 为了使基于 SRAM 结构的 FPGA 系统能够在空间辐照环境下稳定、安全、可靠地运行, FPGA 软件的高可靠性设计便显得尤为重要。本文分析了空间辐照条件下 FPGA 发生故障的原因和机理, 并结合实际设计的空间载荷项目, 着重从软件方面提出了防范和解决的措施和方案。最后通过仿真和环境实验, 验证了设计方案的可行性。

关键词: FPGA; 单粒子翻转; 三模冗余; 纠错电路

中图分类号: TP31 **文献标识码:** A

High Reliability Design Technology of FPGA under Aerospace Radiation

Li Wei, Liu Dongbin

(Fin Mechanics and Physics, Changchun Institute of Optics, Chinese Academy of Science, Changchun 130033, China)

Abstract: In order to make the FPGA system based on SRAM structure work stable, safe and reliable under aerospace radiation, the FPGA software design becomes more and more important. This paper analyses the causes of the FPGA working faults under high radiation. Based on our design project, the paper puts forward the measure and plan to avoid and solve the problem, emphasizing FPGA software design. The feasibility of the project is proved through software simulation and environmental experiment.

Key words: FPGA; single event upset; triple modular redundancy; error detected and corrected

引言

FPGA 以其集成度高、灵活性强、开发周期短的特点, 在航天领域得到了越来越广泛的应用。然而, 其工作的空间环境存在着大量 γ 光子、辐射带电子、高能质子等高能粒子。这些高能粒子轰击到器件上, 会产生总剂量效应 (Total Ionizing Dose, TID)、单粒子翻转 (Single Event Upset, SEU)、单粒子锁定 (Single Event Latchup, SEL)、单粒子烧毁 (Single Event Burn-out, SEB)、单粒子栅击穿 (Single Event Gate Rupture, SEGR)、内带电效应等空间辐射效应^[1]。这些效应对基于 SRAM 的 FPGA 的影响尤为明显。

现代 FPGA 工艺向着低电压、高集成度方向发展, 这使得发生空间辐射响应的阈值越来越低, 发生故障的概率越来越大。空间辐射效应的发生, 轻则会使设备工作异常, 重则会导致设备烧毁、永久失效。因此, FPGA 必须进行高可靠性设计, 来最大限度地预防和解决空间辐射效应的影响。

1 空间辐照效应

据卫星资料统计, 其异常记录中有 70% 是由空间辐

射环境引起的^[2]。主要空间辐射效应与辐射源及作用对象之间关系如表 1 所列。

表 1 主要辐射效应、辐射源及对象

空间辐射效应	引发效应的主要带电粒子	主要对象
电离总剂量效应	捕获电子/质子、耀斑质子	几乎所有电子器件及材料
单粒子翻转 (SEU)	高能质子/重离子	逻辑器件、单/双稳器件
单粒子锁定 (SEL)	高能质子/重离子	CMOS 器件
单粒子烧毁 (SEB)	高能质子/重离子	功率 MOSFET
单粒子栅击穿 (SEGR)	高能质子/重离子	功率 MOSFET
卫星表面充/放电	低能等离子体	卫星表面包覆材料、涂层
内电效应	高能电子	卫星内部介质材料、器件
太阳电池的等离子体充电	低能等离子体	太阳电池

单粒子效应 (Single Event Effect, SEE) 是单个高能质子或重离子入射电子元器件上引发的辐射效应。根据效应的机理不同可分为单粒子翻转、锁定、烧毁、栅击穿等。

当单个空间高能带电粒子轰击到大规模、超大规模的逻辑型微电子器件时, 沿粒子入射轨迹, 在芯片的 PN 结

附近区产生电离效应,生成一定数量的电子-空穴对(载流子)。如果芯片处于加电状态,这些由于辐射产生的载流子将在芯片内部电场作用下发生飘移和重新分布,从而改变了芯片内部正常载流子的运动分布和运动状态。当这种改变足够大时,将引起器件电性能状态的改变,造成逻辑器件或电路的逻辑错误,例如:存储器中数据发生翻转,使能信号被重新置位,从而引起逻辑功能混乱、计算机程序“跑飞”,甚至造成灾难性的后果。

目前,大多数 FPGA 基于 SRAM 结构。基于 SRAM 的 FPGA 中的基本可编程通孔是一个 1 位的 SRAM 单元。这种 SRAM 通孔的编程和擦写方式与其他 SRAM 存储器一样。虽然 SRAM 通孔比一般 SRAM 组建更可靠,但之后的状态也很容易被空间辐射产生的电荷改写^[3]。

图 1 为与 FPGA 相同的 CMOS 工艺单粒子翻转示意图和单粒子翻转敏感区域^[4]。

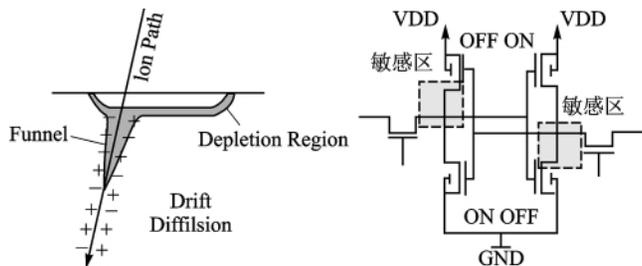


图 1 与 FPGA 相同的 CMOS 工艺单粒子翻转示意图

因此,对于 FPGA 软件设计而言,单粒子翻转对 FPGA 内部逻辑、存储器的影响尤为严重,需要进行安全可靠设计。

2 防范措施

通常可以采用如下的方法,最大限度地防止或避免空间辐照下的单粒子效应对 FPGA 软件的影响。

2.1 定期重新配置 FPGA

对 FPGA 进行重新配置,可以清除积累的任何错误。设计者必须确定潜在错误的影响,以及这些错误蔓延所需的时间。在这个时间段之内重新配置 FPGA,或者设计检测电路,当 FPGA 工作错误时,及时对 FPGA 进行重新配置。虽然错误仍然会蔓延,但潜在的损害被重新配置所限制。

笔者所设计的系统为 CCD 相机成像系统,由任务需求及功能估算,每次开机上电时间约为 120 s。开机即加载 FPGA 逻辑,摄像任务完成后,随即下电,准备下一次摄像任务。因此,可以极大地避免空间辐照效应对设备的影响。

2.2 三模冗余(TMR)

对关键信号,数据进行冗余设计,是防止 SEU 发生的

比较行之有效的办法。冗余设计是用多个相同单元构成并联形式,最后通过表决单元输出最终的数据或信号,三模冗余是常用的冗余设计方法。理论上,在 FPGA 中某一单元发生 SEU 的概率是存在的。但连续两个相同单元同时发生 SEU 事件,在有限的工作时间内,几乎是不可能的。虽然一个单元发生 SEU 导致错误,但其他单元不会同时发生错误,通过表决,保证了数据或信号的安全可靠。图 2 为 Xilinx 公司推荐的三模冗余结构。虽然 TMR 带来了可靠性的提高^[5],但是随之带来了系统最高运行速度的降低和资源的浪费,而且表决器本身也可能出错,并不具备抗空间辐照的能力。如果系统长时间加电工作于空间辐射环境中,由于 SEU 的累积效应,两个或多个表决单元都发生 SEU 的可能还是存在的,这就需要采取相应的设计方法,检测发生 SEU 的逻辑单元,将其重新置位,“拉”回正常工作状态,从而保证系统的安全可靠。

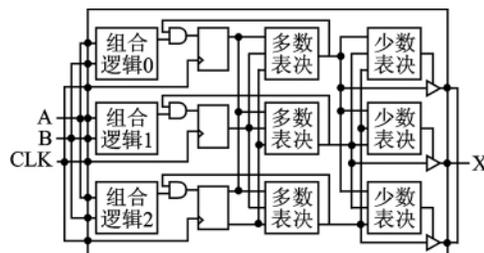


图 2 Xilinx 公司推荐的三模冗余逻辑

目前,Xilinx 公司等 FPGA 制造商能够提供相应的 TMR 模块 IP 核,但目前还无法获得。可以根据实际情况,对系统关键的部分,进行三模冗余设计。

笔者在所设计的系统中,同时设计了 3 个“关键数据解析”单元,将解析到的关键数据同时存储在相邻的 3 个块 RAM 中,最后通过“关键数据表决单元”,输出可靠的关键数据。

2.3 周期擦除技术

周期擦除技术是指,在固定时间周期内,对系统内部各关键单元进行周期擦除复位,这样可以很大程度地避免单粒子翻转对系统产生的影响。

当系统中发生单粒子翻转事件时,可能会导致关键寄存器、计数器或关键使能信号等发生意外翻转,引起外围控制器件异常工作。若这种异常的工作状态持续时间较长,会导致设备无法正常工作甚至永久损坏。若系统采用周期擦除技术,一旦发生 SEU,周期复位信号可以在很短的时间内,将错误的计数器、存储器复位到正确状态,保证系统的安全稳定。

笔者所设计的 CCD 成像系统,CCD 探测器的各时序控制信号为关键信号。若不幸发生 SEU,可能导致 CCD 时序驱动信号频率大幅升高,过高的频率会导致外围驱动

器失效甚至烧毁。

由于 CCD 时序控制信号为周期信号,故在时序设计中,系统内部自行产生周期擦除信号。此信号同时产生 3 个,进行三模冗余备份,并经过 FPGA 时钟树网络,保证此周期复位信号安全可靠。此信号采用同步复位,用软件仿真 SEU 故障,时序仿真图如图 3 所示。

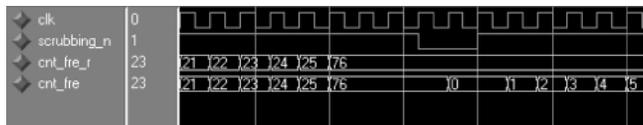


图 3 周期擦除时序仿真图

信号 cnt_fre 经过周期擦除处理,而 cnt_fre_r 未经过相应处理。可以看到,在某时刻,两个计数器均发生了 SEU,计数值跳转到异常值 76 且保持。由于采用周期擦除技术,cnt_fre 在周期擦除信号有效期间,复位至初始状态,继续正常工作。而未经周期擦除处理的 cnt_fre_r 则始终处于异常状态,导致系统故障。

2.4 纠错电路 EDAC

FPGA 系统发生 SEU 后,会使关键寄存器、信号等处于错误状态。尽管可以通过三模冗余技术,将这种错误状态暂时隔离,但是在长期加电工作要求的条件下,冗余单元可能继续发生错误而导致单元失效。

对各模块关键信号实时监测,并将检测到的错误信号及时纠正,防止了空间辐照对系统的影响。纠错电路的设计需要根据系统的特点,进行相应的设计。系统 EDAC (Error Detected And Corrected) 设计的功能仿真图如图 4 所示。

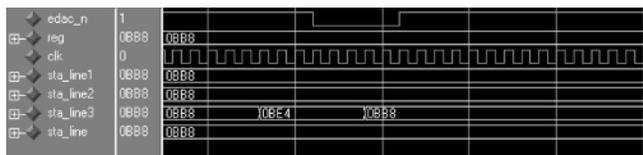


图 4 EDAC 功能仿真图

系统对关键寄存器 Sta_line(起始行寄存器)进行三模冗余,当纠错使信号 EDAC_n 有效时,进行 3 个冗余单元的三选二表决,并将表决结果暂存在表决结果寄存器 reg 内,更新至各冗余单元寄存器中。由图 4 可知,寄存器 sta_line3 在某时刻发生了 SEU,sta_line3 寄存器故障。在 edac_n 有效时,将此关键信号纠错,置回正确状态,而关键信号 sta_line 将始终保持正确值,保证了系统的安全可靠。

结 语

可编程逻辑器件 FPGA 必将在航天领域得到更广泛

的应用。针对空间辐照效应影响的高可靠性设计,将越来越成为 FPGA 软硬件设计的难点和重点。根据飞行器空间轨道的不同,辐射总剂量的差异,从硬件上,可以通过加厚屏蔽层、元器件加固等方式,尽可能地降低 SEU 发生的概率;从软件上,通过定期重配置、周期擦除、三模冗余、EDAC 等手段,最大程度降低或消除 SEU 对系统的影响。本文提出的基于软件的空间辐照下 FPGA 可靠性设计方法,可以为空间航天 FPGA 嵌入式系统设计提供一定的参考。

参考文献

- [1] 邢克飞,杨俊,王跃科,等. Xilinx SRAM 型 FPGA 抗辐射设计技术研究[J]. 宇航学报,2007,28(1).
- [2] 李冬梅,王志华,高文焕,等. FPGA 中的空间辐射效应及加固技术[J]. 电子技术应用, 2000(10).
- [3] Xilinx. Radiation Effect & Mitigation Overview,2010.
- [4] Candice Yui,Gary Swift,Carl Carmichael. Single Event Upset Susceptibility Testing of the Xilinx Virtex II FPGA[C]// Military and Aerospace Applications of Programmable Devices and Technologies Conference(MAPLD), Washington DC, 2002.
- [5] Microsemi Company. Single-Event Upset(SEU) and Medical Device[J]. Global Electronics China, 2011(2).
- [6] Fuller E,Caffrey M,Salazar A, et al. Radiation testing update,SEU mitigation, and availability analysis of the Virtex FPGA for space reconfigurable computing[C]//4th Annual Conference on Military and Aerospace Programmable Logic Devices, Washington DC,2000.

李巍(助理研究员),主要从事空间光学 CCD 成像技术的研究。

(收稿日期:2011-06-07)

征 订 启 事

《单片机与嵌入式系统应用》为国家级期刊(月刊),每月 1 号出版。邮发代号:2-765。每期定价 12 元,全年 144 元(若经本刊邮购每期另加邮资 2 元)。

欢迎广大读者订阅。

地址:北京市海淀区学院路 37 号《单片机与嵌入式系统应用》杂志社
 邮编:100191 电话:010-82338009 传真:010-82317043
 开户银行:北京银行学院路支行
 户名:《单片机与嵌入式系统应用》杂志社
 账号:010903391001201110299-36
 网址:www.mesnet.com.cn
 Email:mesnet@mesnet.com.cn