

文章编号:1007-2780(2021)07-1035-07

多工作模式的刷新成像系统

李 波, 余 达*, 刘金国, 孔德柱, 梅 贵, 陈佳豫, 赵 莹

(中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033)

摘要:为克服在轨单粒子翻转并实现灵活可靠的多工作模式,设计了基于 Xilinx 现场可编程逻辑器件和上海复旦微刷新芯片的刷新成像系统。使用单组菊花链结构的串行总线进行 5 组刷新成像单元串口控制, FPGA 将接收到的数据内部转换后再对刷新芯片配置或重注。通过刷新使能信号控制刷新芯片是否加电,同时决定 FPGA 以主并工作方式从 PROM 加载还是从并方式在刷新芯片的控制下加载。通过控制电平设置,实现加载数据源的选择。在各供电电源完毕后,使用外部的复位信号对刷新芯片进行复位,满足刷新芯片复位后立即启动配置的时序要求。实验结果表明,以波特率 625 kbit/s 菊花链方式,传输单包 204 byte 的数据仅需 0.377 6 ms,远低于刷新串口所需的 2.01 ms,可以进行多组的分时工作。采用少量单端控制信号结合菊花链串行总线的刷新成像系统,多种工作模式稳定可靠,具备设计灵活性和在轨可维护性。

关 键 词:单粒子翻转; 现场可编程逻辑器件; 多工作模式; 刷新成像系统; 在轨重注

中图分类号:TN386.5;P231 **文献标识码:**A **doi:**10.37188/CJLCD.2020-0180

Multi-working mode refresh imaging system

LI Bo, YU Da*, LIU Jin-guo, KONG De-zhu, MEI Gui, CHEN Jia-yu, ZHAO-Ying

(Changchun Institute of Optics, Fine Mechanics and Physics,
Chinese Academy of Sciences, Changchun 130033, China)

Abstract: In order to overcome the on-orbit single-event flip and realize flexible and reliable multiple working modes, a refresh imaging system based on Xilinx field programmable logic devices and refresh chip of Fudan Microelectronics group company limited is designed. Using a single set of daisy chain structure serial bus to control the serial port of 5 sets of refresh imaging unit, FPGA internally converts the received data and then configures or refills the refresh chip. The refresh enable signal is used to control whether the refresh chip is powered on, and at the same time decides whether the FPGA is loaded from PROM in the master and parallel mode or loaded under the control of the refresh chip in the parallel mode. Through the control level setting, the selection of the loading data source is realized. After each power supply is completed, the external reset signal is used to refresh the chip reset, meets the timing requirements of refreshing the chip to start configuration immediately after reset. The experimental results show that the transmission time of a single packet of 204 byte data is only 0.377 6 ms with the baud rate of 625 kbit/s in daisy chain mode, which is much lower than the 2.01 ms required to refresh the serial port, and multiple groups of time-sharing work can be performed.

收稿日期:2020-07-10;修订日期:2020-09-09.

* 通信联系人, E-mail: ciompyuda@163.com

The refresh imaging system using a small number of single-ended control signals combined with a daisy chain serial bus has a variety of working modes that are stable and reliable, with design flexibility and on-track maintainability.

Key words: single event upset; field programmable logic device; multiple working modes; refresh imaging system; on-orbit refill

1 引言

大容量 SRAM 型现场可编程逻辑器件(Field Programmable Gate Array, FPGA)功能强大,在空间成像领域如空间监视、遥感成像中有广泛的应用^[1-3]。由于复杂的空间辐照环境和 SRAM 型 FPGA 自身的结构工艺,该类器件在轨易受单粒子翻转效应(Single Event Upset, SEU)影响,导致成像功能异常,在成像探测器上电配置期间出现翻转有损坏器件的风险,需要进行辐射加固。常见的 SEU 加固措施包含三模冗余、纠错编码、局部重配置和配置刷新等^[4-6]。其中三模冗余资源占用率高,长时间工作可能导致故障累积而失效,适用于逻辑关系故障;纠错编码占用资源更少,编码简单时检测和纠错有限,编码复杂时会降低数据传输速率,适用于 BRAM 翻转故障;动态重配置主要针对器件发生的永久物理故障,而配置区受 SEU 的影响能通过刷新方式解决,配置期间不能工作^[7-10];刷新技术^[11-14]通过将正确的配置帧信息写入 FPGA 可以较好地修复 SEU。刷新方法常使用对辐照不敏感的反熔丝 FPGA 对刷新过程进行控制,但软硬件设计复杂。另一种刷新方法是使用专用的定时刷新芯片,设计难度和复杂度可大幅降低^[15]。

上海复旦微公司的刷新芯片 JFMRS01RH,采用 SMIC 0.18 μm CMOS 工艺和 DICE 设计加固方法,具有自身可靠性高、抗辐射能力强,可以定时检测 FPGA 的 SEFI 状态并刷新 FPGA,削减单粒子的累积效应。该芯片支持可编程只读存储器(PROM)、SPI FLASH、异步 NOR FLASH 存储器件,提供对异步 NOR FLASH、SPI FLASH 的编程、全芯片擦除、扇区擦除、数据校验、数据回读功能,同时提供对 PROM 的数据回读功能。JFMRS01RH 支持复旦微电子有限公司研制的 JFM4V 系列和 JFM7V 系列 FPGA 器件,以及 Xilinx 公司主流 FPGA^[16]。该器件通过串

口即可实现复杂的操作,但其串口不支持菊花链工作方式,而且波特率为固定的 115.2 bit/s,不可调整。若刷新成像系统中每片 FPGA 和刷新芯片都各配置一组串行总线,则整个刷新成像系统的电缆数量庞大;若使用 FPGA 对刷新芯片串口控制,则可能由于二者的相互控制陷入工作不正常的死循环。该刷新芯片应用不方便的另一方面,是在器件加电后就立即启动 FPGA 配置操作,而 FPGA 由于配置过程电流大通常采用分步上电方式,从而容易出现刷新芯片控制下的 FPGA 加载失败。若完全依靠刷新芯片进行成像系统控制,当刷新芯片出现损坏或者工作异常,则整个成像系统失败;在调试过程中出现异常,也难以进行问题定位,因此需要进行多工作模式的设计。最后,刷新成像系统需要在轨软件重注功能,可根据在轨的应用需求,实现刷新成像系统的功能重构。

2 多工作模式的刷新成像系统设计

刷新成像系统包含多组刷新成像单元和主控。刷新成像单元包含刷新芯片、FPGA、flash、PROM 组、总线驱动器和成像探测器。flash 直接与刷新芯片相连,受刷新芯片控制,用于接收待更新的配置数据。PROM 与 FPGA 之间、FPGA 与刷新芯片之间采用总线驱动器实现通路的切换。FPGA 产生成像探测器工作所需的相关工作时序,并接收成像探测器输出的图像数据。主控通过逻辑控制信号和菊花链结构的串行 422 总线对各成像单元刷新配置过程进行控制。然而,串行 422 总线直接与 FPGA 相连,FPGA 通过解析主控的 422 命令,产生响应的控制命令并将接收到的配置数据通过刷新芯片的串口写入与刷新芯片相连的 flash 中。

2.1 刷新芯片 JFMRS01RH 电路

在轨刷新成像系统如图 1 所示,刷新芯片 JFMRS01RH 内部结构如图 2 所示。可通过外部

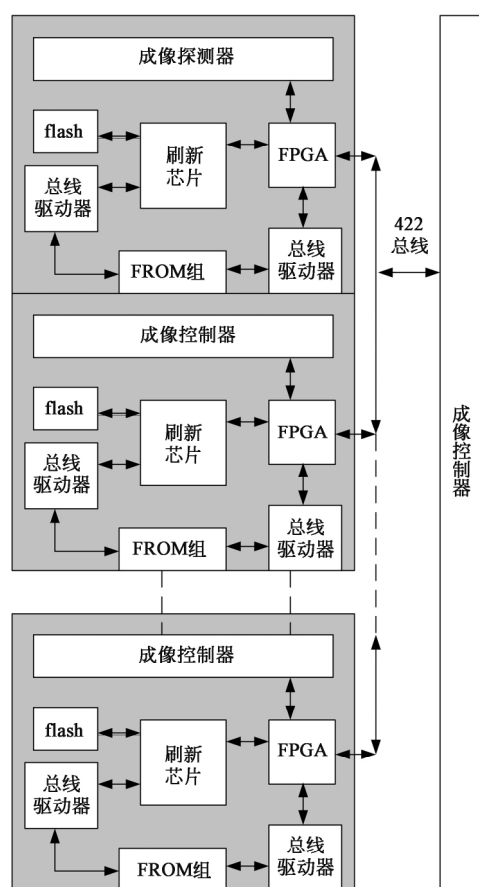


图1 在轨刷新成像系统

Fig.1 On-orbit refresh imaging system

的控制信号或者串行通信接口进行刷新芯片内部配置寄存器的状态控制,刷新芯片的内核可外部供电,而与可选择使用内部的 LDO 供电;刷新芯片可通过读取 FPGA 内部的配置信号,与指定的配置数据源进行对比,进行位流解析,产生相应的控制;也通过串行接口,接收重注程序,编程写入外部 flash 中。

2.2 成像处理电路

成像处理电路中 FPGA 采用 Xilinx 公司的 V5 系列 FPGA XQ5VFX100tff1136M,最大可用 680 个管脚,内部包含 8 208 kbit 的块 RAM 资源和 256 个 DSP48E 资源^[17]。成像处理需要多种供电电源,为尽量降低成像电箱的总功耗,成像处理拟采用 3 种供电电源。此部分主要采用 TI 公司的 TPS7H1101MHKRV 进行供电(图 3),其中由于 FPGA 内核电流大,采用 VPT 公司的点负载 DS-DVPL0510S-5.0 供电;外部接口电路和刷新成像部分采用 LS883 进行供电。

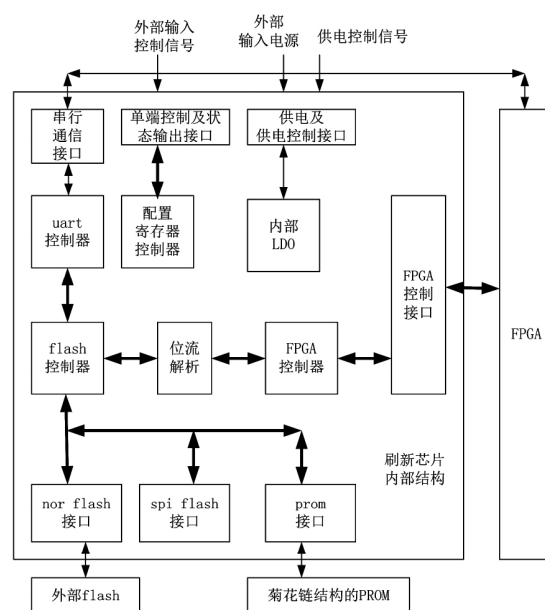


图2 刷新芯片 JFMRS01RH 内部结构

Fig.2 Internal structure of refresh chip JFMRS01RH

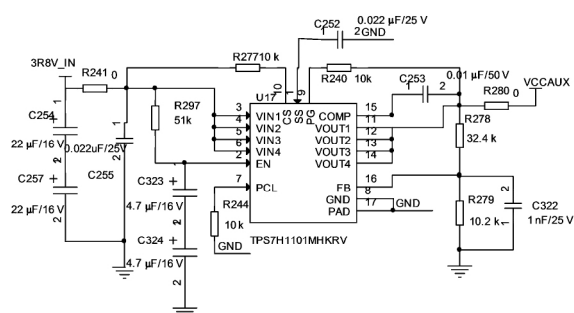


图3 TPS7H1101MHKRV 供电电路

Fig.3 Power supply circuit based on TPS7H1101MHKRV

刷新成像成像系统具有 3 种成像工作模式,如图 4 和表 1 所示:

(1)刷新功能禁止模式。主控发出的控制信号使刷新使能处于无效的低电平。FPGA 为主并工作模式,直接从 PROM 加载数据,刷新芯片的供电处于禁止状态。

(2)从 PROM 加载的在轨刷新模式。刷新芯片的供电输出使能,主控发出的控制信号刷新使能处于有效的高电平,重注使能处于无效的低电平。FPGA 为从并工作模式,加载过程受刷新芯片控制,刷新芯片的串口是受 FPGA 控制,通过外部复位,刷新芯片的加载配置信号取决于外部的管脚电平信息,刷新芯片的管脚电平为默认从 PROM 加载。

表 1 3 种工作模式下的电流及状态
Tab.1 Current and status in three working mode

工作模式	刷新芯片的 供电状态	FPGA 的 加载模式	FPGA 与 PROM 的 连接状态	刷新芯片与 PROM 的连接状态	刷新的加载 数据源	刷新芯片的 复位
刷新功能 禁止	断电, OE 为 0	主并(m2-m0:100), OE 为 0	导通, OE 为 0	高阻, OE_INV 为 1	PROM, 对应 chongzhu 管脚为 0	不复位, reset 为 0
刷新使能, 从 PROM 加载	加电, OE 为 1	从并(m2-m0:110), OE 为 1	高阻,OE 为 1	导通, OE_INV 为 0	PROM, 对应 chongzhu 管脚为 0	不复位, reset 为 0
刷新使能, 从 flash 加载	加电 ,OE 为 1	从并(m2-m0:110), OE 为 1	高阻,OE 为 1	导通, OE_INV 为 0	Flash,对应 chongzhu 管脚为 1	复位,reset 出现高电平 脉冲

(3)从 flash 加载的在轨刷新模式。刷新芯片的供电输出使能,主控发出的控制信号刷新使能处于有效的高电平,重注使能处于无效的低电平。FPGA 为从并工作模式,加载过程受刷新芯

片控制,刷新芯片的串口是受 FPGA 控制,通过外部复位,刷新芯片的加载配置信号取决于外部的管脚电平信息,刷新芯片的管脚电平为从修改了程序的 flash 加载。

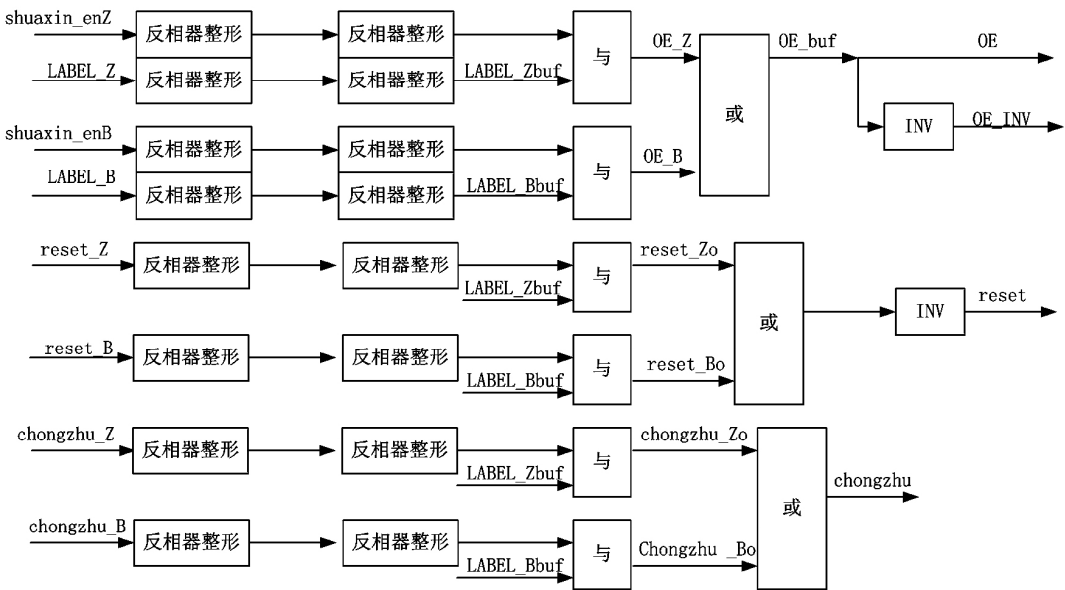


图 4 刷新成像控制逻辑流程图
Fig.4 Refresh imaging control logic flow chart

3 测试结果

3.1 多工作模式加载结果

表 2 为不同工作模式下的加载结果,具体表

现为工作电流的变化,如图 5 所示。

3.2 刷新验证结果

(1)不刷新使能,烧入新的 bit 文件

刷新成像系统运行正常,输出正常的感光图像。

表 2 不同加载模式下的供电电流
Tab.2 Supply current in different loading modes

不同模式下的实测电流统计	3.8 V 电流/A	5 V 电流/A	9 V 电流/A	5.5 V 电流/A
禁止刷新,FPGA 直接加载	1.319 7	0.470 2	0.030 5	0.451 9
使能刷新,首次加电从 PROM 加载失败	0.512 2	0.251 2	0.034 2	0.178 9
使能刷新,从 PROM 加载,失败后复位	1.290 2	0.423 7	0.031 5	0.455 4
使能刷新,首次加电从 PROM 加载,失败后切换为 PROM 加载	1.291 9	0.467 4	0.030 4	0.461 8
使能刷新,从 flash 加载,失败后复位	1.291 8	0.461 8	0.030 5	0.465 6



图 5 未刷新使能的工作电流

Fig.5 Operating current without refresh enable

(2)刷新使能,烧入新的 bit 文件

刷新成像系统在正常摄像的状态下,通过 JTAG 口烧入新的 bit 流,烧入成功,结果输出图像的摄像状态停止了,重新发送摄像命令,然后才开始继续输出图像。说明刷新功能仅能实现恢复回原始的 bit,并不能恢复回发生 SEU 前的状态,除非对配置相关外的数据进行三模冗余。

3.3 重注验证

(1)每包编程数据返回遥测值:编程成功。

(2)位流 CRC 校验结果:位流 CRC 校验成果。

(3)回读数据与编程数据的对比结果:回读数据与编程数据相同。

3.4 加载重注

刷新成像系统中 FPGA 芯片 XQ5VFX100T 的配置数据在刷新芯片的控制下,0.6 s 内可完成上电加载配置(图 6)。直接使用复旦微公司的上位机软件,刷新芯片串口波特率为固定的 115.2 kbit/s,单包 204 byte 有效数据外还需要添加 27 byte 的帧头、帧长等数据,传输效率为 88.3%,传

输时间为 2.01 ms。采用 422 串口助手,串行控制信号的波特率为 625 kbit/s,单包 204 byte 有效数据外还需要添加 32 byte 的帧头、帧长、同步码、地址码等数据,传输效率为 86.4%,传输时间为 0.377 6 ms。



图 6 FPGA 加载配置时间长度测量结果

Fig.6 Measurement length of FPGA load configuration time

4 结 论

本刷新成像系统可以实现 FPGA 配置数据源为 PROM 的主并工作方式加载,在刷新芯片控制下的配置数据源为 PROM 从并工作方式,也可以实现配置数据源为 flash 的从并工作方式,因此该系统具有很高的可靠性。可通过外部串行总线进行各组刷新程序的分时更新,因此具备设计灵活性和在轨可维护性。通过 JTAG 口烧入与加载数据不同位流,在刷新使能状态下会恢复为原数据流,证明刷新芯片能把改写的位流恢复,具备防单粒子的功能。要保证寄存器等数据不因单粒子事件而改写,还需要结合三模冗余等措施对关键信号和数据数据进行保护。

参 考 文 献:

- [1] 白金成.基于 FPGA 的多路 Cameralink 数字图像光纤传输系统[J].液晶与显示,2019,34(8):787-792.
BAI J C. Optical fiber transmission for multi-channel Cameralink digital image based on FPGA [J]. *Chinese Journal of Liquid Crystals and Displays*, 2019, 34(8): 787-792. (in Chinese)
- [2] 曹慧,程宏斌,汪洋,等.FPGA 多重配置在 LED 显示控制系统中的应用[J].液晶与显示,2020,35(5):456-463.
CAO H, CHENG H B, WANG Y, *et al.* Application of FPGA multiboot in LED display control system [J]. *Chinese Journal of Liquid Crystals and Displays*, 2020, 35(5): 456-463. (in Chinese)
- [3] 王佳丽.基于空间成像应用的 SRAM 型 FPGA 抗单粒子翻转技术研究[D].西安:中国科学院大学(中国科学院西安光学精密机械研究所),2018.
WANG J L. Research on single event upset mitigation techniques for SRAM-based FPGA in space imaging system [D]. Xi'an: Xi'an Institute of Optics and Precision Mechanics, Chinese Academy of Sciences, 2018. (in Chinese)
- [4] 郑丹,胡胜旺,封亮,等.SRAM 型 FPGA SEU 缓解与验证技术分析[J].信息技术与网络安全,2019,38(9):1-4,13.
ZHENG D, HU S W, FENG L, *et al.* Analysis of SRAM-based FPGA SEU mitigation and verification technology [J]. *Information Technology and Network Security*, 2019, 38(9): 1-4, 13. (in Chinese)
- [5] 何小飞,章慧彬,徐玉婷,等.基于 FPGA 芯片的抗单粒子翻转的动态刷新技术研究[J].电子与封装,2019,19(12):51-54.
HE X F, ZHANG H B, XU Y T, *et al.* Dynamic scrubbing research on correcting single-event upsets in FPGA chip [J]. *Electronics and Packaging*, 2019, 19(12): 51-54. (in Chinese)
- [6] 齐刘宇,刘国栋,赵正阳.一种 SRAM 型 FPGA 单粒子效应加固平台设计[J].电子技术应用,2019,45(5):78-80,88.
QI L Y, LIU G D, ZHAO Z Y. A platform design of single event effect mitigation for SRAM-based FPGA [J]. *Application of Electronic Technique*, 2019, 45(5): 78-80, 88. (in Chinese)
- [7] 郝亚男,高欣,许仕龙.SRAM 型 FPGA 的 SEU 容错技术研究[J].中国集成电路,2015,24(10):31-36.
HAO Y N, GAO X, XU S L. Study on the SEU-tolerant techniques for SRAM-based FPGAs [J]. *China Integrated Circuit*, 2015, 24(10): 31-36. (in Chinese)
- [8] 斯涛,景乃锋,贺光辉.SRAM 型 FPGA 多频度刷新器实现[J].微电子学与计算机,2019,36(6):1-4.
SI T, JING N F, HE G H. Implementation of multi-frequency scrubber on SRAM-based FPGA [J]. *Microelectronics & Computer*, 2019, 36(6): 1-4. (in Chinese)
- [9] 周凯,聂晓慧,施蕾,等.SRAM 型 FPGA 空间应用的可靠性设计方法[J].南通大学学报(自然科学版),2016,15(3):25-32,40.
ZHOU K, NIE X H, SHI L, *et al.* Reliability design method for FPGA space application based on SRAM [J]. *Journal of Nantong University (Natural Science Edition)*, 2016, 15(3): 25-32, 40. (in Chinese)
- [10] 王苏灵,谢永春,江卫.一种适用于空间信息处理平台的抗单粒子翻转技术研究[J].通信技术,2018,51(5):1228-1231.
WANG S L, XIE Y C, WANG W. Anti SEU technology for spatial information processing platform [J]. *Communications Technology*, 2018, 51(5): 1228-1231. (in Chinese)
- [11] 薛晓良.SRAM 型 FPGA 在辐照环境下的容错技术研究[D].成都:中国科学院大学(中国科学院光电技术研究所),2019.
XUE X L. Research on fault tolerance technology of SRAM FPGA in radiation environment [D]. Chengdu: Institute of Optics and Electronics, Chinese Academy of Sciences, 2019. (in Chinese)
- [12] HEINER J, SELLERS B, WIRTHLIN M, *et al.* FPGA partial reconfiguration via configuration scrubbing [C]// *Proceedings of 2009 International Conference on Field Programmable Logic and Applications*. Prague, Czech Republic: IEEE, 2009: 99-104.
- [13] HERRERA-ALZU I, LÓPEZ-VALLEJO M. System design framework and methodology for Xilinx Virtex FPGA configuration scrubbers [J]. *IEEE Transactions on Nuclear Science*, 2014, 61(1): 619-629.
- [14] SARI A, PSARAKIS M. Scrubbing-based SEU mitigation approach for systems-on-programmable-chips [C]// *Proceedings of 2011 International Conference on Field-Programmable Technology*. New Delhi, India: IEEE,

- 2011; 1-8.
- [15] 王栋,陶文泽,马沛,等.航天用 SRAM 型 FPGA 定时刷新控制电路应用研究[J].测控技术,2019,38(11):121-125.
WANG D, TAO W Z, MA P, *et al.* Research on timing scrub control circuit of SRAM-based FPGA on spacecraft [J]. *Measurement & Control Technology*, 2019, 38(11): 121-125. (in Chinese)
- [16] 上海复旦微电子集团股份有限公司.JFMRS01RH 产品说明书[EB/OL].[2020-03-06].<http://www.fmsh.com/>.
Shanghai Fudan Microelectronics Group Company Limited. JFMRS01RH data sheet [EB/OL]. [2020-03-06]. <http://www.fmsh.com/>. (in Chinese)
- [17] Xilinx. Radiation-hardened, space-grade virtex-5qv family data sheet; overview [EB/OL]. [2020-04-05]. <http://www.xilinx.com>.
- [18] 余达,刘金国,徐东,等.基于空间应用的在轨刷新重注成像系统:中国,201811338281.6[P]. 2019-03-06.
YU D, LIU J G, XU D, *et al.* On-orbit refresh reinjection imaging system based on space application; CN, 201811338281.6 [P]. 2019-03-06. (in Chinese)

作者简介:



李 波(1967—),男,吉林长春人,学士,实验师,1993 年于长春市委党校获得学士学位,主要从事空间遥感方面的研究。E-mail:libo@ciomp.ac.cn



余 达(1980—),男,四川内江人,博士,副研究员,2012 年于中国科学院长春光学精密机械与物理研究所获得博士学位,主要从事空间光学遥感方面的研究。E-mail:ciompyuda@163.com