

DOI: 10.3969/j.issn.1009-9492.2021.05.033

孙嘉霖, 李艳辉, 霍琦, 等. 基于FPGA的六维并联机构的数据采集系统设计 [J]. 机电工程技术, 2021, 50 (05): 121-124.

基于FPGA的六维并联机构的数据采集系统设计

孙嘉霖, 李艳辉, 霍琦, 李昂

(中国科学院 长春光学精密机械与物理研究所, 长春 130033)

摘要: 针对6个绝对式光栅编码器数据读取与传送问题, 为了得到六维并联机构的各支腿所在位置的编码器数据, 设计了该数据采集及传送系统。该系统通过2个FPGA芯片状态机设计, 实现了从6个单独编码器数据的并行采集读取, 6个编码器数据的整合, 再到6组编码器数据的接收与校验。通过实验验证, 表明设计的数据采集及传送系统能够通过2片FPGA正确的传输数据, 数据传输过程稳定可靠, 能够提供满足六维并联机构的位姿调整所需要的编码器数据。

关键词: 六维并联机构; FPGA; 编码器; 数据采集

中图分类号: TH112

文献标志码: A

文章编号: 1009-9492(2021)05-0121-04

开放科学(资源服务)标识码(OSID):



Design of Data Acquisition System of Six-dimensional Parallel Mechanism Based on FPGA

Sun Jialin, Li Yanhui, Huo Qi, Li Ang

(Changchun Institute of Optics, Fine Mechanics and Physics, China Academy of Science, Changchun 130033, China)

Abstract: Aiming at the problem of data reading and transmission of six absolute grating encoders, in order to obtain the encoder data of the positions of the legs of the six-dimensional parallel platform, the data acquisition and transmission system was designed. The system was designed with two FPGA chip state machines to realize the parallel acquisition and reading of data from six separate encoders, the integration of data from six encoders, and the reception and verification of data from six sets of encoders. Experimental verification shows that the designed data acquisition and transmission system can correctly transmit data through two FPGAs, the data transmission process is stable and reliable, and it can provide the encoder data required for the pose adjustment of the six-dimensional parallel mechanism.

Key words: six-dimensional parallel platform; FPGA; encoder; data collection

0 引言

在大口径空间光学望远镜中, 由于加工中存在误差, 环境因素导致的材料形变, 都会对望远镜的成像效果产生影响, 无法达到预期的成像要求^[1]。因此, 为了满足高精度望远镜位姿调整的六维并联机构就应运而生, 而位姿的调整需要接收6组编码器数值。

传统的系统设计将现场可编程逻辑门阵列(Field Programmable Gate Array, FPGA)与编码器端直接连接, 通过BISS-C协议能够正确地接受单个编码器的数据来进行电机控制^[2]。但在实际的运动控制的应用条件下, 单个编码器的数据不足以反映整个运动控制系统的运动状态。因此, 需要并行采集多个编码器的数据来满足对精密机械的控制^[3]。而对于多路编码器的数据采集, 赵洪深等^[4]采用FPGA和多路选择器进行组合来进行数据采集的, 但由于多路选择器的使用, 丧失了编码器数据接收的实时性, 无法满足电机控制过程中编码器数据实时性的要求。张立等^[5]使用FPGA对多路数据进行并行采集, 并用单片机进行数据处理的, 但对于

六足平台的控制来讲, FPGA编程的灵活性更强, 更适用来进行运动控制程序的设计开发及验证。而如果只用一片FPGA芯片进行多组编码器数据的并行处理, 不仅占用了大量IO端口, 增加了主控FPGA的运算量, 而且由于时序信号(MA)与数据信号(SLO)差分处理, 控制端与六维并联机构间连接线缆数量为24根, 线缆数量较多, 给整个运动控制系统增加了负担^[6]。

基于上述原因, 本文设计的系统由2片FPGA来进行实现, 编码器端FPGA负责六维并联机构支腿上的编码器数据采集, 将采集到的6组编码器数据整合后, 等待控制端的时序信号MA来到时, 将实时更新整合的编码器数据发送到控制端FPGA处。如此设计该系统后, 软件方面上减少了六维并联机构运动控制端FPGA的运算处理量, 使得运动控制单元能够提供更多的运算处理单元, 提供给控制算法, 留给控制算法更大的空间来进行优化处理运动过程中的问题。硬件方面上, 减少了控制端与六维并联平台间连接线缆数量, 由原来的24根线缆减少为4根, 同时也减少了占用的控制端FPGA的端口。最

收稿日期: 2021-03-21

(C)1994-2021 China Academic Journal Electronic Publishing House. All rights reserved. http://www.cnki.net

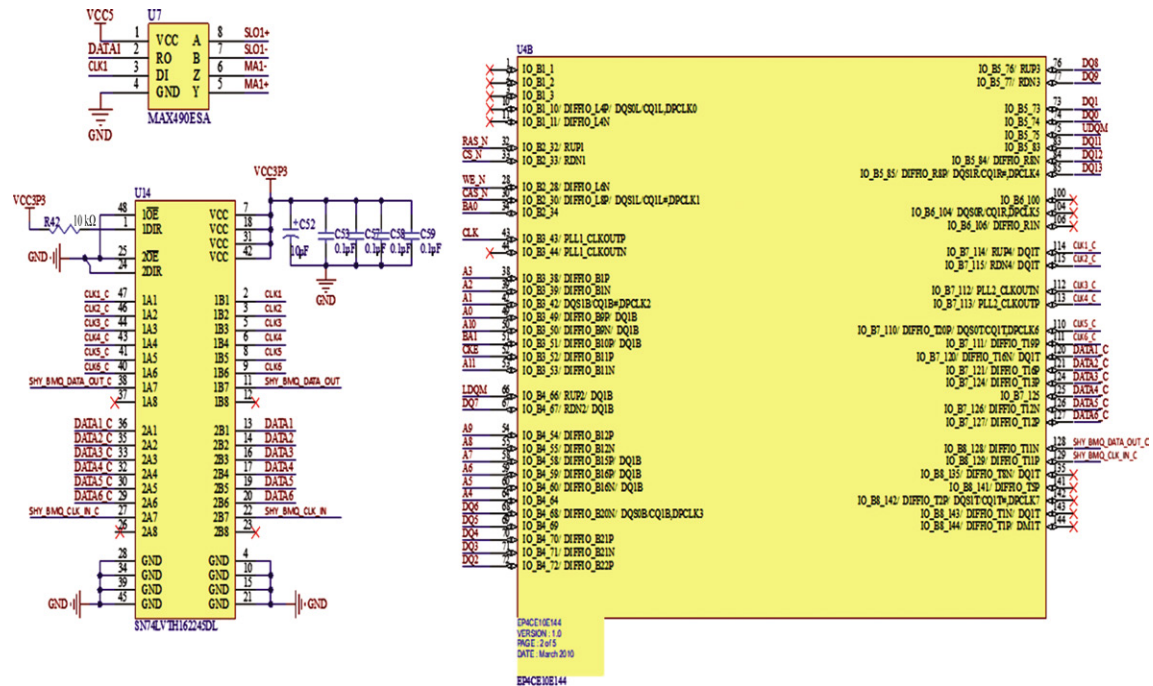


图1 FPGA硬件电路原理

Figure1 FPGA hardware circuit schematic diagram

后通过实物验证实验,验证了编码器端FPGA能够正确接收6组编码器数据,并进行校验,控制端FPGA能够接收并解算出6组编码器数据,数据传输过程稳定可靠。

1 硬件电路设计

该数据传送系统的硬件分为编码器端FPGA和控制端FPGA两部分组成。

首先介绍编码器端FPGA硬件电路的设计,硬件原理如图1所示,以其中一个编码器数据接收为例,编码器数据直接接收端接收编码器发出的时序MA的差分信号(MA1+和MA1-)并接收数据SLO差分信号(SLO1+和SLO1-),4条信号线通过MAX490EAS将差分信号SLO与MA转化为单端信号DATA1与CLK1。该单端信号通过具有三态输出的3.3V-ABT-16位总线收发器SN74LVTH162245DL,将单端信号DATA1与CLK1转化为可直接连接芯片引脚的DATA1_C与CLK1_C,来进行编码器数据的收发,该部分芯片采用的是Altera公司的EP4CE10E22C8N。

编码器数据间接接收端为进行试验验证,采用的是SPARTAN-6系列的开发板替代了六足平台的控制电箱,FPGA芯片型号为XC6SLX45。

2 数据收发原理及FPGA软件设计

2.1 CRC校验的基本原理及计算

CRC校验的基本原理就是通过在正常的二进制 k 位数据后面,通过固定的运算关系,生成一个 r 位的校验位,构成一个 $n=k+r$ 位的数据,通过在接收端检测接收到的数据关系,来判断在传输数据的过程中,是否发生错误^[7]。CRC校验的基本原理可以用下式来表明:

$$(Mx^r + R) \bmod C = 0 \quad (1)$$

式中: $M = x^T u(x)$, $u(x) = u_{n-l-1}x^{n-l-1} + \dots + u_1x + u_0$; $r = n - k$; $R = v_{r-1}x^{r-1} + \dots + v_1x + v_0$; $g(x) = g_{n-k}x^{n-k} + g_{n-k-1}x^{n-k-1} + \dots + g_1x + g_0$ 。

M (Message) 为传输信息部分的多项式, R (Remainder) 为校验部分的多项式, r 为检验部分的位数, k 为信息字段的位数, G 为约定生成的多项式。对于发送端来说,通过需要传输的信息 M 和确定的 G ,可以生成对应信息 M 的一个校验字段 R 。将 R 附加在 M 后面构成新的多项式 $V = Mx^r + R$, 将新的多项式 V 发送到接收端。对于接收端来说,将接收到的 V 与 G 用模二除法进行运算,余数为0,则表示传输信息正确。

2.2 FPGA软件流程设计

编码器数据采集系统软件流程如图2所示。

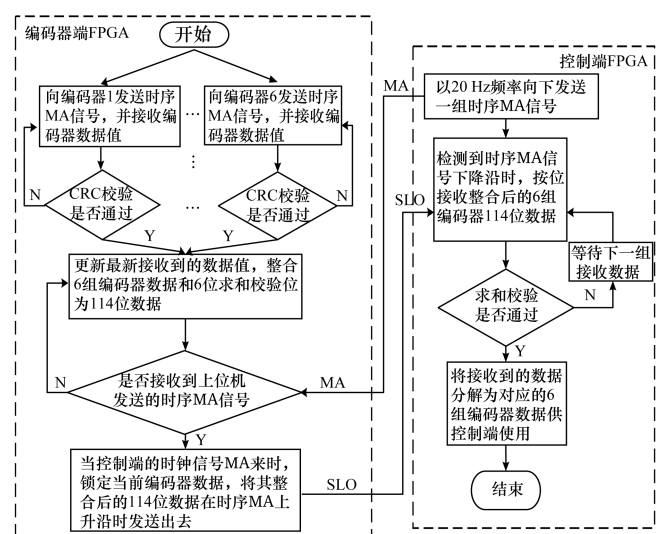


图2 编码器数据采集系统软件流程

Figure2 Flow chart of system software of encoder data acquisition system

首先, 编码器端FPGA接收6组编码器, 并进行CRC校验, 校验成功后, 编码器端FPGA对6组编码器数据进行整合, 6只光电编码器软件处理后得到各自18位数据, 其中, 前15位为有效二进制数位 (高位在前, 低位在后), 后3位为该编码器当前时刻状态值 (可以用此值判断当前编码器状态是否异常)。这样, 每一数据包包含6只光电编码器108位数据, 编码器端FPGA将从108位数据最高位起, 每6位为一段, 通过这种方式获取18段6位数据, 将18段数据累加求和, 最后以累加和的6位数据作为求和校验位, 高位在前, 低位在后。当接收到控制端FPGA发送的时序MA信号时, 送出这108位数据和6位的求和校验位。

2.3 编码器接收数据时序图

编码器端的FPGA与编码器间的通信是采用Biss C模式的通信协议对6只编码器的数据进行采集。6只编码器的MA发送及SLO接收都是由一片FPGA进行控制, 接收到编码器数据后, 对数据进行CRC校验, 检验通过后更新当前编码器的返回值。各个编码器的接收数据时序图如图3所示。

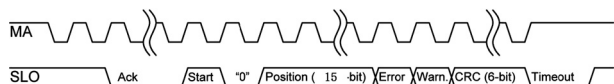


图3 编码器接收数据时序图

Figure3 Encoder receives the data time sequence diagram

在MA没来到的时候, SLO一直处于高电平状态, 完成确认周期Ack后, 会进入高电平Star位和“0”位并传输数据, 数据传输完毕后, SLO会进入低电平超时周期Timeout, 编码器准备好进行下一个周期的数据传输时, SLO会置为高电平来提示FPGA端口^[8]。

控制端FPGA读取数据采用SSI串行的方式进行数据输入, 时序图如图4所示。

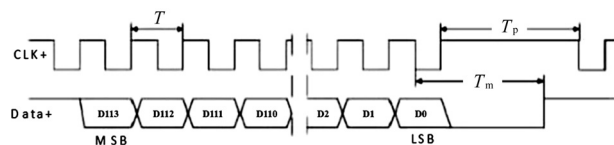


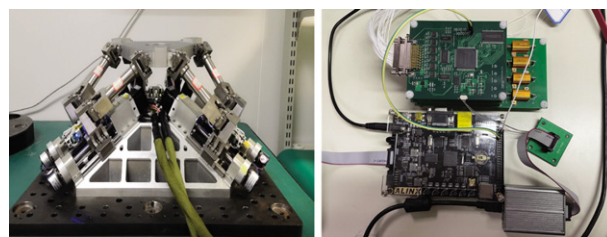
图4 控制器读取数据时序图

Figure4 The controller reads the data sequence diagram

当时序的上升沿到来时, 编码器端FPGA开始发送整合后114位数据, 其中 T_m 为低电平持续时间, 约 $30\mu s$, T_p 为时钟持续高电平, 这里 $T_p \geq T_m$ 。在每次SSI通讯完毕后, 首先对接收到的数据进行校验位校验, 如果校验通过, 则将该组数据保留用以六足平台的控制, 否则舍弃该组数据, 等待下一组数据的到来^[9]。

3 实验结果及分析

该编码器数据采集系统将应用于六维并联机构上采集编码器数据, 六维并联机构及2块FPGA编码器数据采集传输板如图5所示。



(a) 六维并联机构

(b) 编码器数据采集传输电路

图5 六维并联机构与编码器数据采集传输电路

Figure5 Six-dimensional Parallel platform and encoder data collection transmission circuit

采集单个编码器数据的数据传输过程如图6所示, 当编码器接收到时序信号MA时, 会按照图2所示时序向编码器直接接收端通过SLO发送相应编码器数据, 所传输的数据用二进制表示为“010 1000 1100 1100”, 转化为十进制表示为10444。编码器端CRC校验采用的校验多项式为 $x^6 + x^1 + x^0$, 生成的校验码为“110000”。

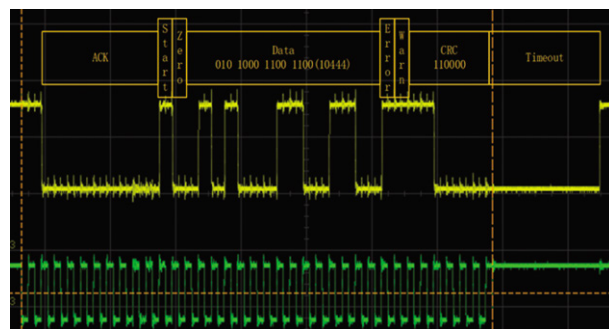


图6 编码器1数据接收波形

Figure6 Encoder 1 data receive waveform

图7所示为两个FPGA之间的数据传输过程。当接收到控制端FPGA发送的时序信号MA时, 采集端FPGA会将整合好的114位数据通过数据SLO发送出去。由于示波器屏幕显示限制, 将该信号用ChipScope进行抓取分析, 如图8所示, 传输的114位数据信号以十六进制显示为“7944DBB766B3BF0F39108E”。

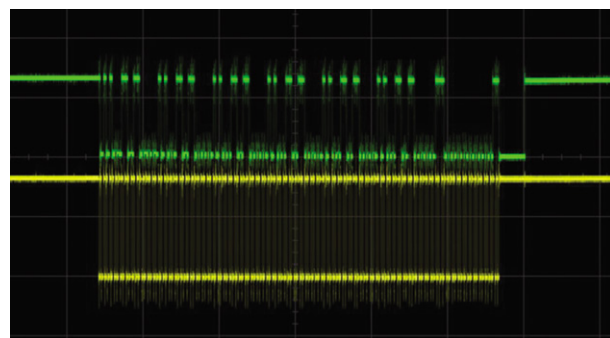


图7 SSI协议传输过程示波器采集信号

Figure7 SSI protocol transfer process oscilloscope collection signal

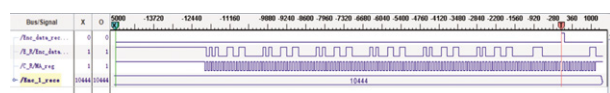


图8 控制端接收数据过程波形

Figure8 Control end receives the data process waveform

图9所示为通过Quartus中的Signal Tap和ISE的Chip Scope来抓取到的数据传输过程中的信号。由图可知,控制端FPGA可以正确的接收到由6组编码器数据整合后的114位数据,并以编码器1为例,对数据进行解算,接收到的编码器数据与传送前的编码器数据码值一致,均为10444。

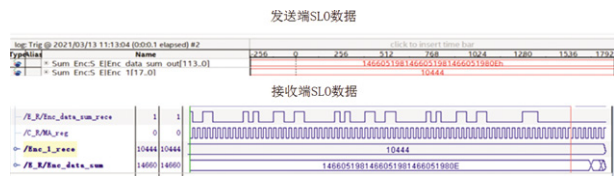


图9 SSI协议发送端与接收端数据对比

Figure9 SSI protocol sending end and receiving end data contrast

4 结束语

经过实物实验验证,编码器数据采集端FPGA通过BISS C协议,并经过CRC校验,能够正确地采集6组编码器的当前码值,通过对采集到的编码器数据进行整合,控制端FPGA通过SSI协议与求和校验,能够正确解算出所传输过来的编码器数据。该方案能够很好地解决直接接收的多编码器数据方案中传输线缆过多,占用FPGA端口过多与单独FPGA处理6组编码器数据运算量大的问题。实验证明,该系统工作状态稳定,数据传输正确,能够满足六维并联机构控制所需要的编码器数据采集需求。

(上接第93页)

4 结束语

此次该台TG-130/5.29-M4锅炉测试热效率93.19%达到了TSG G0002-2010《锅炉节能技术监督管理规程》第1号修改单规定的目标值,该台在用电站锅炉的排烟热损失,也就是锅炉的排烟所带走的热量,是其各项热损失中占比量比较大的一项热损失。排烟温度越高,锅炉热损失就越大。有资料研究锅炉热效率受排烟温度的直接影响,排烟温度和锅炉效率成负相关,一般温度每升高10~15℃,效率下降1%^[6],所以适当增加锅炉尾部烟道受热面,降低排烟温度,有利于提高锅炉热效率。

该台锅炉除了排烟热损失以外,最大的热损失是固体未完全燃烧热损失,因此,促进燃料的充分燃烧是提高其锅炉效率的一个有效途径。

通过该台电站锅炉测试结果来看,对该台电站锅炉热效率影响最大的因素是排烟热损失和固体不完全燃烧热损失两方面。散热损失、化学不完全燃烧热损失、灰渣显热损失及其他因素导致的热损失量相对来说不是很大。

参考文献:

[1] 倪守强,李兴华.我国能源现状及可持续利用对策[J].工业安全

参考文献:

- [1] 韩哈斯敦其尔.空间望远镜用高精度高刚度并联调整平台设计与测试研究[D].长春:中国科学院大学(中国科学院长春光学精密机械与物理研究所),2019.
- [2] 王洪娟,邢柏强,刘岩,等.基于BISS C模式编码器数据采集及显示系统设计[J].导弹与航天运载技术,2016(4):99-101.
- [3] 周光泽,陈光胜.基于BISS-C协议的绝对值编码器数据采集方法研究[J].软件导刊,2020,19(10):179-183.
- [4] 赵洪深,刘容,李晓今.基于FPGA的多路光栅信号并行采集方法[J].现代电子技术,2013,36(19):67-69.
- [5] 张立,李少康,李高益.基于FPGA+ARM的多路光栅数据采集系统设计[J].电子测试,2021(3):9-11.
- [6] 余恒松,邓皓文,伍春.基于FPGA的多路采集与TCP/IP传输系统设计[J].通信电源技术,2019,36(1):25-27.
- [7] 张宗橙.纠错编码原理和应用[M].北京:电子工业出版社,2003.
- [8] 李猛,聂宜云,徐彦峰.基于FPGA的线延迟补偿BiSS C协议通讯模块设计[J].航空精密制造技术,2020,56(6):38-41.
- [9] 王青,俞建定,袁飞,等.采用SSI协议实现的绝对值编码器[J].微型机与应用,2016,35(13):4-5.

第一作者简介:孙嘉霖(1993-),男,硕士,研究员实习员,研究领域为运动控制,已发表论文2篇

(编辑:王智圣)

与环保,2004,30(7):1-3.

- [2] 宗虎.论我国可持续发展的能源道路[J].世界科技研究与发展,2001,19(5):1-6.
- [3] 国家质量监督检验检疫总局.TSG G0002-2010:锅炉节能技术监督管理规程[S].2010.
- [4] 国家质量监督检验检疫总局.GB/T 10184-2015:电站锅炉性能试验规程[S].2015.
- [5] 国家发展和改革委员会.DL/T 964:循环流化床锅炉性能试验规程[S].2005.
- [6] 张钟周.中小型煤粉电站锅炉节能技术应用研究[D].广州:华南理工大学,2018.

第一作者简介:薛红香(1980-),女,山东泰安人,硕士研究生,高级工程师,研究领域为锅炉、压力容器的检验检测。

(编辑:王智圣)